

功能特性

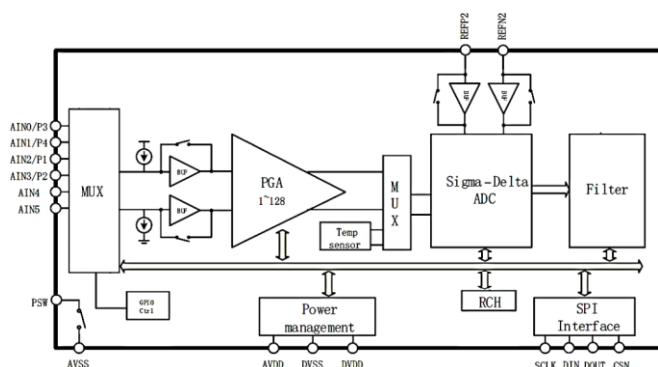
- 工作電壓範圍：2.8~5.5V
- 工作電流：
 - 性能工作模式：560uA
 - 正常工作模式：360uA
 - 低功耗工作模式：260uA
 - 睡眠模式：1uA
- 內置低雜訊放大器：1~128 倍可靈活配置
- 6 通道信號輸入：可作為 6 組單端信號輸入，或 3 組差分信號輸入
- 24 位高精度低零漂 Sigma-Delta ADC
 - 支援 11 種降取樣速率，3.125Hz~6400Hz
 - 支援 50、60Hz 同步抑制
 - 支持 DC 偏差自校正
- 線性度 0.001%FS
- 雜訊水準：15nV/ $\sqrt{Hz}$ @ 128 倍 PGA
- 零漂：小於 1uV @ 64/128 倍 PGA
- 集成 2.4576MHz 內部高頻 RC 時鐘，批量頻率偏差小於1%，-40~85°C範圍內溫漂 1%
- SPI 介面：
 - 支援標準 4 線或 3 線 SPI 介面
 - 支援最高 10MHz 通信時鐘
 - 支援單一寄存器讀寫與多寄存器連續讀寫
 - 支援命令幀同位保護
 - 支援寫入及讀取操作的CRC校驗保護

- 工作溫度範圍：-40~+105°C
- 存儲溫度範圍：-40~+125°C
- 封裝樣式：TSSOP16

應用場合

- 工業儀器
- 電子秤
- 液體/氣體化學分析
- 壓力量測
- 溫度量測
- 工業過程式控制採集

功能方塊圖



概述

CS5799 為一款 SPI 介面的 6 通道、24 位元高精度 ADC 晶片，內置 1~128 倍可程式設計的低雜訊儀錶放大器、高精度 Sigma-Delta ADC，精準內部 RC 時鐘源。

ADC 實際有效精度 (ENOB)24BIT@1 倍 PGA，21.5BIT@64 倍 PGA，等效輸入雜訊低至 15nV/ $\sqrt{Hz}$ ，零漂 1uV，零漂溫度係數低於 5nV/°C。輸出碼率可配置為 3.125Hz 至 6400Hz。

可用於各類高性能溫度感測器（熱電偶、2~4 線 RTD 電阻等）、分析天平、工業程式控制、直流/交流電能測量、儀器儀錶等各類需要高精度和低零漂測量的應用場合。

目錄 TABLE OF CONTENTS

功能特性	1	5 寄存器描述.....	20
功能方塊圖.....	1	5.1 寄存器位址.....	20
應用場合.....	1	5.2 OS_CHx/GAIN_CHx 寄存器.....	21
概述.....	1	5.3 CONV_CONFx 寄存器.....	21
修訂追蹤	2	5.4 SYS_CONFx 寄存器.....	23
1 電器規格特性.....	3	5.4.1 SYS_CONF0	23
1.1 極限參數.....	3	5.4.2 SYS_CONF1	25
1.2 工作參數.....	3	5.4.3 SYS_CONF2	26
1.3 ESD/LU 性能.....	3	5.4.4 SYS_CONF3	26
1.4 GPIO 參數.....	3	5.5 D_TARG 寄存器.....	28
1.5 ADC 性能指標.....	4	5.6 CONV_DATA 寄存器.....	28
1.5.1. 性能工作模式ADC 雜訊和有效位元.....	5	6 晶片校準.....	28
1.5.2. 正常工作模式ADC 雜訊和有效位元.....	6	6.1 校準概述.....	28
1.5.3. 低功耗工作模式ADC 雜訊和有效位元.....	7	6.2 Offset 自校準.....	28
2 晶片引腳.....	8	6.3 Offset 系統校準.....	28
2.1 引腳定義.....	8	6.4 Gain 系統校準.....	29
3 功能模組描述	9	6.5 正常轉換時的資料校準.....	29
3.1 電源管理模組.....	9	7 ADC 測試圖表.....	30
3.2 高頻 RCH 時鐘.....	9	7.1 性能工作模式下的雜訊值.....	30
3.3 MUX 信號選擇電路.....	9	7.2 正常工作模式下的雜訊值.....	30
3.4 PGA 電路.....	9	7.3 低功耗工作模式下的雜訊值.....	31
3.5 Sigma-Delta ADC	10	7.4 增益和 Offset 的溫漂.....	31
3.6 數字濾波器.....	10	7.5 電源抑制比(PSRR)	32
3.7 功耗模式.....	10	7.6 共模抑制比(CMRR)	33
3.8 SPI 介面.....	10	8 PACKAGING 封裝尺寸圖.....	34
4 SPI 介面協定.....	10		
4.1 讀寫命令幀.....	11		
4.2 轉換命令幀.....	13		
4.3 SPI CRC 校驗.....	15		
4.4 SPI 轉換狀態.....	17		
4.5 SPI 介面重定.....	18		
4.6 SPI 介面時序.....	19		

修訂追蹤

2021/9/20 初稿

2021/11/20 校稿

1 電器規格特性

1.1 極限參數

當外部輸入或是環境參數超過下面條件時，很可能會對於晶片造成損壞或是縮短其使用壽命。下表只代表會造成損壞的範圍，不代表可以正常工作的範圍。

Table 1-1 極限參數表

Symbol	Ratings	Min	Max	Unit
AV+/DV+	電源電壓	-0.3	+6	V
Vsig	信號輸入信號	-0.3	+6	V
TS	存儲溫度	-50	+150	°C
TJ	工作溫度	-40	+125	°C

1.2 工作參數

Table 1-2 工作參數表

Symbol	Parameter	Min	Typ	Max	Unit
AV+/DV+	IO 口電壓	2.8	5	5.5	V
I _{ACTIVE Full}	全功耗工作電流		560		uA
I _{ACTIVE}	正常工作電流		360		uA
I _{ACTIVE Low power}	低功耗工作電流		260		uA
I _{PD}	休眠電流		0.6		uA
VPOR	上電重定電壓	1.9	2	2.1	
VLVD	掉電監測電壓	2.8	2.9	3	
TA	溫度範圍	-40	25	105	°C

1.3 ESD/LU 性能

Table 1-3 ESD/Latch-Up 性能指標

Symbol	Parameter	Min	Max	Unit
ESD(HBM)	HBM 模型的 ESD 放電電壓	-4000	4000	V
Latch-Up	Latch-Up 測試電流 (@85°C)	-200	200	mA

1.4 GPIO 參數

Table 1-4 GPIO 參數表

Symbol	Parameter	DV+	Min	Typ	Max	Unit
VIH	輸入信號高閾值	5V	4		5.5	V
VIL	輸入信號低閾值	5V	-0.3		1	V
VT+	施密特由低變高電壓的閾值	5V	2.72	2.92	3.17	V
VT-	施密特由高變低電壓的閾值	5V	1.85	2	2.17	V
IIH	輸入高電平的電流	5V			+1	uA
IIL	輸入低電平的電流	5V	-1			uA
VOL	輸出低電平 (@IOL 電流條件)	5V			0.4	V
VOH	輸出高電平 (@IOH 電流條件)	5V	4			V
IOL	輸出低電平電流@VOL (max)	5V	4.9	8.8	13.9	mA
IOH	輸出高電平電流@VOH (min)	5V	5.5	15.6	29.9	mA

1.5 ADC 性能指標

Table 1-5 ADC 性能指標表

AV+=5V DV+=5V VREF+=2.5V 條件條件下測試

Parameter	Min	Typ	Max	Unit
精度				
線性度(Linearity)		±0.0005	±0.001	%FS
有效位數 (ENOB)		21.9@PGA=1 21.2@PGA=64		BIT
無雜訊位數 (Noise Free Bits)		20.4@PGA=1 18.7@PGA=64		BIT
等效雜訊密度 (Noise Floor)		11		nV/√Hz
零漂 (Offset)		120/PGA		μV
零漂溫漂 (Offset drift)		PGA=128 = 10	900 PGA = 1	nV/°C
增益誤差(Gain error)		0.1	0.16	%
增益溫漂 (Gain drift)		1	2	ppm/°C
信號輸入				
輸入信號共模範圍	GND		AV+	V
輸入信號幅度	-REF/GAIN		+REF/GAIN	REF=REFP-REFN
差分輸入電流		1		nA
信號輸入阻抗		>1G		Ω
輸入共模抑制比 (CMRR)		140		dB
時鐘				
ADC 轉換速率 (Data Rate)	3.125		6400	Hz
引腳輸入時鐘頻率		2.4576		MHz
內部 RC 時鐘頻率	2.4576 - 1.5%	2.4576	2.4576 +1.5%	MHz
RC 時鐘變化幅度		1%		-40~85 度範圍
電源				
AV+ 電源範圍	2.8	5	5.5	V
DV+ 電源範圍	2.8	5	5.5	V
正常工作模式 ADC 功耗 (開啟 Sig Buffer, Ref Buffer · 不開啟 2.5V REF · VBIAS 模組和 IDAC 模組)		200		μA · PGA=1
		300		μA · PGA=2~16
		360		μA · PGA=32 以上
性能工作模式 ADC 功耗 (開啟 Sig Buffer, Ref Buffer · 不開啟 2.5V REF · VBIAS 模組和 IDAC 模組)		200		μA · PGA=1
		390		μA · PGA=2~16
		500		μA · PGA=32 以上
Sig Buffer 功耗		10		μA
Ref Buffer 功耗		15		μA
電源抑制比 (PSRR)		140		dB

1.5.1. 性能工作模式ADC 雜訊和有效位元

Table 1-6 等效輸入 RMS RMS 雜訊(nV)

AV+=5V DV+=5V VREF+=2.5V 三階濾波器條件下測得條件條件下測試

數據碼率 (Hz)	雜訊(nV)@PGA(倍)							
	128	64	32	16	8	4	2	1
6.25	27	32	42	62	101	180	337	628
12.5	39	46	60	87	143	254	476	888
25	55	65	84	124	202	359	673	1256
50	78	91	119	175	286	508	952	1777
100	119	149	208	326	561	1032	1974	3769
200	169	211	294	460	794	1460	2792	5330
400	239	298	416	651	1122	2064	3949	7538
800	388	521	788	1321	2386	4518	8782	17055
1600	548	737	1114	1868	3375	6390	12420	24120
3200	856	1202	1895	3281	6052	11595	22681	44344
6400	1337	1955	3189	5659	10597	20474	40229	79017

Table 1-7 ENOB

AV+=5V DV+=5V VREF+=2.5V 三階濾波器條件下測得條件條件下測試

數據碼率 (Hz)	雜訊(nV)@PGA(倍)							
	128	64	32	16	8	4	2	1
6.25	20.4	21.2	21.8	22.3	22.6	22.7	22.8	22.9
12.5	19.9	20.7	21.3	21.8	22.1	22.2	22.3	22.4
25	19.4	20.2	20.8	21.3	21.6	21.7	21.8	21.9
50	18.9	19.7	20.3	20.8	21.1	21.2	21.3	21.4
100	18.3	19	19.5	19.9	20.1	20.2	20.3	20.3
200	17.8	18.5	19	19.4	19.6	19.7	19.8	19.8
400	17.3	18	18.5	18.9	19.1	19.2	19.3	19.3
800	16.6	17.2	17.6	17.9	18	18.1	18.1	18.2
1600	16.1	16.7	17.1	17.4	17.5	17.6	17.6	17.7
3200	15.5	16	16.3	16.5	16.7	16.7	16.8	16.8
6400	14.8	15.3	15.6	15.8	15.8	15.9	15.9	15.9

Table 1-8 Noise Free Bits

AV+=5V DV+=5V VREF+=2.5V 三階濾波器條件下測得條件條件下測試

數據碼率 (Hz)	雜訊(nV)@PGA(倍)							
	128	64	32	16	8	4	2	1
6.25	17.9	18.7	19.3	19.8	20.1	20.2	20.3	20.4
12.5	17.4	18.2	18.8	19.3	19.6	19.7	19.8	19.9
25	16.9	17.7	18.3	18.8	19.1	19.2	19.3	19.4
50	16.4	17.2	17.8	18.3	18.6	18.7	18.8	18.9
100	15.8	16.5	17	17.4	17.6	17.7	17.8	17.8
200	15.3	16	16.5	16.9	17.1	17.2	17.3	17.3
400	14.8	15.5	16	16.4	16.6	16.7	16.8	16.8
800	14.1	14.7	15.1	15.4	15.5	15.6	15.6	15.7
1600	13.6	14.2	14.6	14.9	15	15.1	15.1	15.2
3200	13	13.5	13.8	14	14.2	14.2	14.3	14.3
6400	12.3	12.8	13.1	13.3	13.3	13.4	13.4	13.4

1.5.2. 正常工作模式ADC 雜訊和有效位元

Table 1-9 等效輸入 RMS RMS 雜訊(nV)

AV+=5V DV+=5V VREF+=2.5V 三階濾波器條件下測得條件條件下測試

數據碼率 (Hz)	雜訊(nV)@PGA(倍)							
	128	64	32	16	8	4	2	1
3.125	26	30	40	58	95	169	317	592
6.25	37	43	56	82	135	239	449	838
12.5	52	61	79	116	190	339	635	1184
25	73	86	112	165	269	479	898	1675
50	103	122	159	233	381	677	1269	2369
100	159	199	277	434	748	1376	2633	5025
200	225	281	392	614	1058	1946	3723	7106
400	319	397	554	868	1496	2753	5265	10050
800	517	695	105	1761	3182	6025	11710	22741
1600	731	983	1485	249	4500	8520	16560	32160
3200	1141	1603	2526	4374	8070	15460	30242	59125
6400	1783	2606	4252	7545	14130	27299	53638	105356

Table 1-10 ENOB

AV+=5V DV+=5V VREF+=2.5V 三階濾波器條件下測得條件條件下測試

數據碼率 (Hz)	雜訊(nV)@PGA(倍)							
	128	64	32	16	8	4	2	1
3.125	20.5	21.3	21.9	22.4	22.6	22.8	22.9	23
6.25	20	20.8	21.4	21.9	22.1	22.3	22.4	22.5
12.5	19.5	20.3	20.9	21.4	21.6	21.8	21.9	22
25	19	19.8	20.4	20.9	21.1	21.3	21.4	21.5
50	18.5	19.3	19.9	20.4	20.6	20.8	20.9	21
100	17.9	18.6	19.1	19.5	19.7	19.8	19.9	19.9
200	17.4	18.1	18.6	19	19.2	19.3	19.4	19.4
400	16.9	17.6	18.1	18.5	18.7	18.8	18.9	18.9
800	16.2	16.8	17.2	17.4	17.6	17.7	17.7	17.7
1600	15.7	16.3	16.7	16.9	17.1	17.2	17.2	17.2
3200	15.1	15.6	15.9	16.1	16.2	16.3	16.3	16.4
6400	14.4	14.9	15.2	15.3	15.4	15.5	15.5	15.5

Table 1-11 Noise Free Bits

AV+=5V DV+=5V VREF+=2.5V 三階濾波器條件下測得條件條件下測試

數據碼率 (Hz)	雜訊(nV)@PGA(倍)							
	128	64	32	16	8	4	2	1
3.125	18	18.8	19.4	19.9	20.1	20.3	20.4	20.5
6.25	17.5	18.3	18.9	19.4	19.6	19.8	19.9	20
12.5	17	17.8	18.4	18.9	19.1	19.3	19.4	19.5
25	16.5	17.3	17.9	18.4	18.6	18.8	18.9	19
50	16	16.8	17.4	17.9	18.1	18.3	18.4	18.5
100	15.4	16.1	16.6	17	17.2	17.3	17.4	17.4
200	14.9	15.6	16.1	16.5	16.7	16.8	16.9	16.9
400	14.4	15.1	15.6	16	16.2	16.3	16.4	16.4
800	13.7	14.3	14.7	14.9	15.1	15.2	15.2	15.2
1600	13.2	13.8	14.2	14.4	14.6	14.7	14.7	14.7
3200	12.6	13.1	13.4	13.6	13.7	13.8	13.8	13.9
6400	11.9	12.4	12.7	12.8	129	13	13	13

1.5.3. 低功耗工作模式ADC 雜訊和有效位元

Table 1-12 等效輸入 RMS RMS 雜訊(nV)

AV+=5V DV+=5V VREF+=2.5V 三階濾波器條件下測得條件條件下測試

數據碼率 (Hz)	雜訊(nV)@PGA(倍)							
	128	64	32	16	8	4	2	1
3.125	31	37	48	70	114	203	381	711
6.25	44	52	67	99	162	287	539	1005
12.5	62	73	95	140	229	406	762	1421
25	88	103	135	198	323	575	1077	2010
50	124	146	191	279	457	812	1523	2843
100	191	238	332	521	898	1652	3159	6030
200	270	337	470	737	1270	2336	4468	8528
400	382	476	665	1042	1796	3303	6318	12060
800	620	834	1260	2113	3818	7229	14052	27289
1600	878	1179	1782	2988	5400	10224	19872	38592
3200	1369	1923	3032	5249	9683	18552	36290	70951
6400	2140	3127	5103	9054	16955	32759	64366	126427

Table 1-13 ENOB

AV+=5V DV+=5V VREF+=2.5V 三階濾波器條件下測得條件條件下測試

數據碼率 (Hz)	雜訊(nV)@PGA(倍)							
	128	64	32	16	8	4	2	1
3.125	20.3	21	21.6	22.1	22.4	22.6	22.6	22.7
6.25	19.8	20.5	21.1	21.6	21.9	22.1	22.1	22.2
12.5	19.3	20	20.6	21.1	21.4	21.6	21.6	21.7
25	18.8	19.5	20.1	20.6	20.9	21.1	21.1	21.2
50	18.3	19	19.6	20.1	20.4	20.6	20.6	20.7
100	17.6	18.3	18.8	19.2	19.4	19.5	19.6	19.7
200	17.1	17.8	18.3	18.7	18.9	19	19.1	19.2
400	16.6	17.3	17.8	18.2	18.4	18.5	18.6	18.7
800	15.9	16.5	16.9	17.2	17.3	17.4	17.4	17.5
1600	15.4	16	16.4	16.7	16.8	16.9	16.9	17
3200	14.8	15.3	15.7	15.9	16	16	16.1	16.1
6400	14.2	14.6	14.9	15.1	15.2	15.2	15.2	15.3

Table 1-14 Noise Free Bits

AV+=5V DV+=5V VREF+=2.5V 三階濾波器條件下測得條件條件下測試

數據碼率 (Hz)	雜訊(nV)@PGA(倍)							
	128	64	32	16	8	4	2	1
3.125	17.8	18.5	19.1	19.6	19.9	20.1	20.1	20.2
6.25	17.3	18	18.6	19.1	19.4	19.6	19.6	19.7
12.5	16.8	17.5	18.1	18.6	18.9	19.1	19.1	19.2
25	16.3	17	17.6	18.1	18.4	18.6	18.6	18.7
50	15.8	16.5	17.1	17.6	17.9	18.1	18.1	18.2
100	15.1	15.8	16.3	16.7	16.9	17	17.1	17.2
200	14.6	15.3	15.8	16.2	16.4	16.5	16.6	16.7
400	14.1	14.8	15.3	15.7	15.9	16	16.1	16.2
800	13.4	14	14.4	14.7	14.8	14.9	14.9	15
1600	12.9	13.5	13.9	14.2	14.3	14.4	14.4	14.5
3200	12.3	12.8	13.2	13.4	13.5	13.5	13.6	13.6
6400	11.7	121	12.4	12.6	12.7	12.7	12.7	12.8

2 晶片引腳

2.1 引腳定義

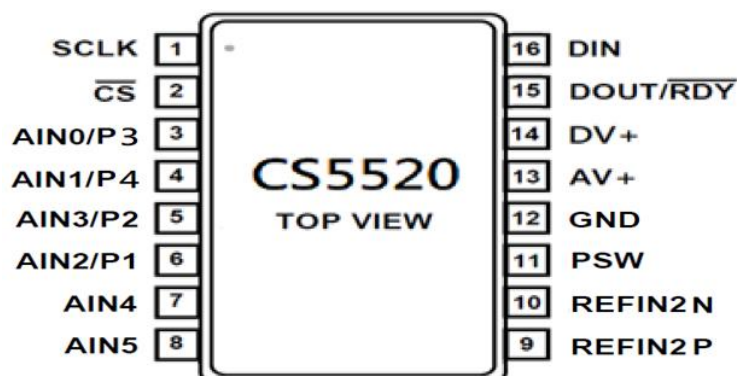
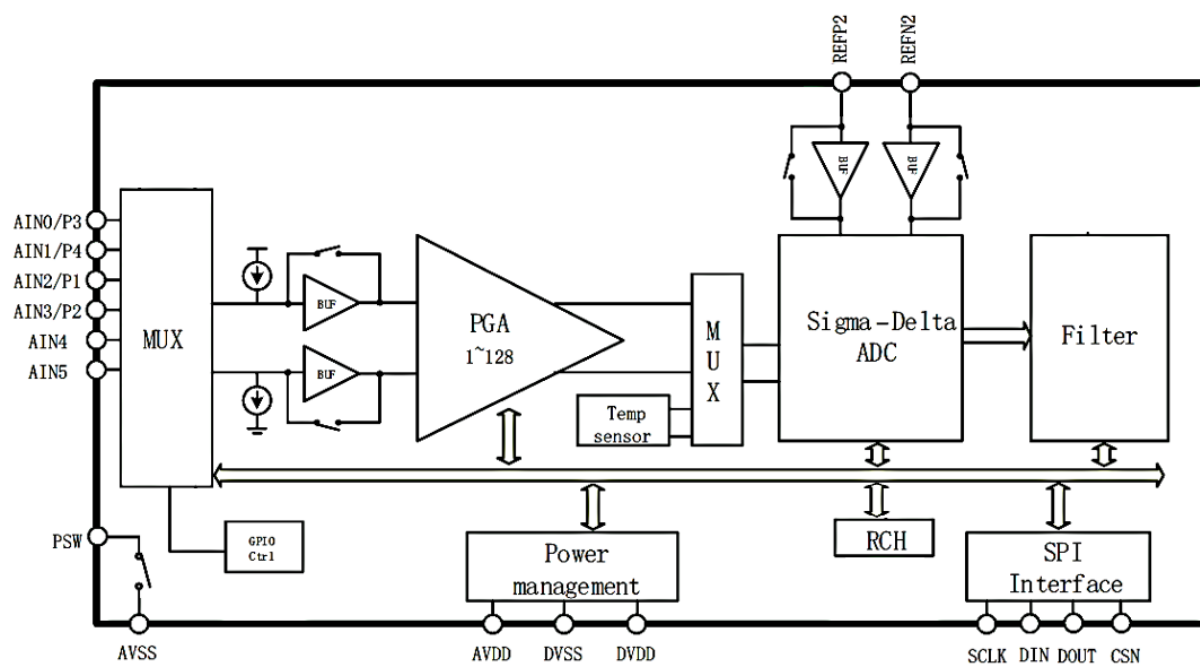


Table 2-1

序號	引腳名稱	輸入/輸出	說明
1	SCLK	輸入	SPI 時鐘輸入，建議片外接 $\geq 300K\ \Omega$ 上拉至電源的電阻(若發現 MCU SCLK 上多餘的脈衝使 SPI 的移位暫存器出錯，建議片外接大於 $20K\ \Omega$ 下拉電阻)
2	CS	輸入	SPI 片選輸入，低電平有效
3	AIN0/P3	輸入/輸出	AIN0 為 ADC 輸入信號通道 0，P3 為輸出控制信號，由寄存器 GPIOx_EN 和 GPIOx_DAT 控制
4	AIN1/P4	輸入/輸出	AIN1 為 ADC 輸入信號通道 1，P4 為輸出控制信號，由寄存器 GPIOx_EN 和 GPIOx_DAT 控制
5	AIN3/P2	輸入/輸出	AIN3 為 ADC 輸入信號通道 3，P2 為輸出控制信號，由寄存器 GPIOx_EN 和 GPIOx_DAT 控制
6	AIN2/P1	輸入/輸出	AIN2 為 ADC 輸入信號通道 2，P1 為輸出控制信號，由寄存器 GPIOx_EN 和 GPIOx_DAT 控制
7	AIN4	輸入/輸出	AIN4 為 ADC 輸入信號通道 4
8	AIN5	輸入/輸出	AIN5 為 ADC 輸入信號通道 5
9	REFIN2 P	輸入/輸出	基準電壓源正輸入端，REFIN2 P 和 REFIN2 N 之間接一個大於等於 $1\mu F$ 的瓷片電容
10	REFIN2 N	輸入/輸出	基準電壓源負輸入端，一般情況接 GND
11	PSW	輸入/輸出	接地開關，開關阻抗 $3\ \Omega$ ，通過設置寄存器的 SWT_SIG 寄存器打開
12	GND	地	數字模擬地
13	AV+	電源	模擬電源，AV+ 和 DGND 之間接一個大於等於 $1\mu F$ 的瓷片電容
14	VD+	電源	數字電源，DV+ 和 DGND 之間接一個大於 $0.1\mu F$ 的瓷片電容
15	DOUT/RDY	輸出	SPI 資料輸出，片外需要接 $\geq 100K\ \Omega$ 上拉至電源的電阻
16	DIN	輸入	SPI 資料登錄，建議片外接 $\geq 300K\ \Omega$ 上拉至電源的電阻

3 功能模組描述



CS5799 模組功能圖

如上圖所示，晶片內部包含電源管理模組、高頻 RCH 時鐘、輸入信號選擇電路(MUX)、輸出 GPIO 電路選擇、可程式設計增益放大器 (PGA)、Sigma-Delta ADC 模組、數位濾波器模組、SPI 介面模組。

3.1 電源管理模組

晶片由 DV+/GND/AV+兩組電源供電，正常工作的供電範圍為 2.8~5.5V。電源模組內置上電重定 (POR) 電路，在上電之初將為晶片提供重定信號。

3.2 高頻 RCH 時鐘

晶片內部集成 2.4576 MHz 的高頻 RCH 時鐘，該時鐘作為晶體時鐘的備份，如果 CLK 時鐘因意外停止工作，在停振 200ms 之後，系統將自動切換到 RCH 時鐘上。

3.3 MUX 信號選擇電路

晶片有兩路輸入信號引腳，以及一路內部溫度感測器信號，ADC 可通過時分複用的方式對這 3 路信號進行採樣。

3.4 PGA 電路

晶片內部集成一個 1~128 倍可程式設計的高精度儀錶放大器。

3.5 Sigma-Delta ADC

晶片內集成一路高性能的 Sigma-Delta ADC，ADC 轉換產生的高頻量化碼流送給後續的數位濾波器（DSP）電路進行處理，並最終得到 24 BIT ADC 資料。

3.6 數字濾波器

數位濾波器對 ADC 轉換產生的高頻量化碼流進行處理，最終獲得 24 BIT ADC 資料。濾波器輸出頻率可通過寄存器配置為 6.25~6400Hz，50/60Hz 濾波，SINC1 跟 SINC3 切換設定。

3.7 功耗模式

晶片可通過設置 SYS_CONF1 寄存器的 POWD=1，使晶片進入低功耗模式。此模式下 PGA/ADC/晶體起振電路/BGP/RCH 等模組都會關閉，功耗小於 1uA。

3.8 SPI 介面

SPI 介面部分詳見 SPI 介面協定章節

4. SPI 介面協定

SPI 介面分為兩種命令幀，一種是用來讀寫寄存器的讀寫命令幀，另外一種是用來啟動 ADC 轉換的轉換命令幀，兩種命令幀使用第一個位元組的第一個 Bit 來區分，若為 0，則為讀寫命令幀，若為 1，則為轉換命令幀。

4.1 讀寫命令幀

讀寫命令幀的第一幀為命令幀，格式如下

Table 4-1 讀寫命令幀結構

Bit							
7	6	5	4	3	2	1	0
0	ADDR					R/W	PC

Table 4-2 讀寫命令幀各位元組意義

BIT	名稱	描述
7	起始位	必須為 0
6 : 2	ADDR	請參考 Table 5-1
1	R/W	讀寫類型選擇 0：寫 1：讀
0	PC	Bit7 到 Bit1 之奇數同位檢查位,當 Bit7~Bit1 有奇數個 1 時,PC 應為 0,當 Bit7~Bit1 有偶數個 1 時,PC 應為 1.若此奇數同位檢查位元錯誤,則該命令不被執行,且 SYS_CONF0 中的 ERR_CKS 位置會被置 1。

Table 4-3 讀寫命令幀位址位元組匯總

ADDR	位寬	暫存器名稱
0x00	24	OS_CH0
0x01	24	GAIN_CH0
0x02	24	OS_CH1
0x03	24	GAIN_CH1
0x04	24	OS_CH2
0x05	24	GAIN_CH2
0x06	24	OS_CH3
0x07	24	GAIN_CH3
0x08	24	OS_CH4
0x09	24	GAIN_CH4
0x0A	24	OS_CH5
0x0B	24	GAIN_CH5
0x0C	24	OS_CH6
0x0D	24	GAIN_CH6
0x0E	24	OS_CH7
0x0F	24	GAIN_CH7
0x10	24	D_TARG
0x11	32	CONV_CONF0
0x12	32	CONV_CONF1
0x13	32	CONV_CONF2
0x14	32	CONV_CONF3
0x15	32	CONV_CONF4
0x16	32	CONV_CONF5
0x17	32	CONV_CONF6
0x18	32	CONV_CONF7
0x19	32	CONV_CONF8
0x1A	32	CONV_CONF9
0x1B	32	SYS_CONF0
0x1C	32	SYS_CONF1
0x1D	32	SYS_CONF2
0x1E	32	SYS_CONF3
0x1F	24	CONV_DATA

下圖為單一寄存器寫幀在不包含 CRC 校驗時的時序

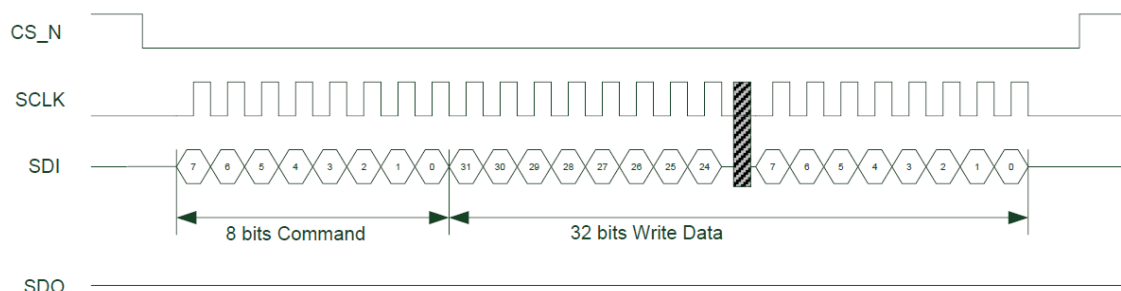


Figure 4-1 SPI 單一 32 bit 寄存器寫幀時序 (不包含 CRC 校驗)

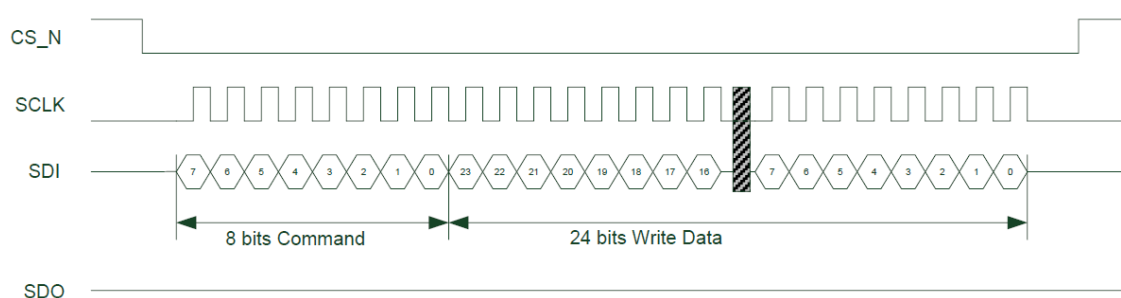


Figure 4-2 SPI 單一 24 bit 寄存器寫幀時序 (不包含 CRC 校驗)

下圖為單一寄存器讀幀在不包含 CRC 校驗時的時序

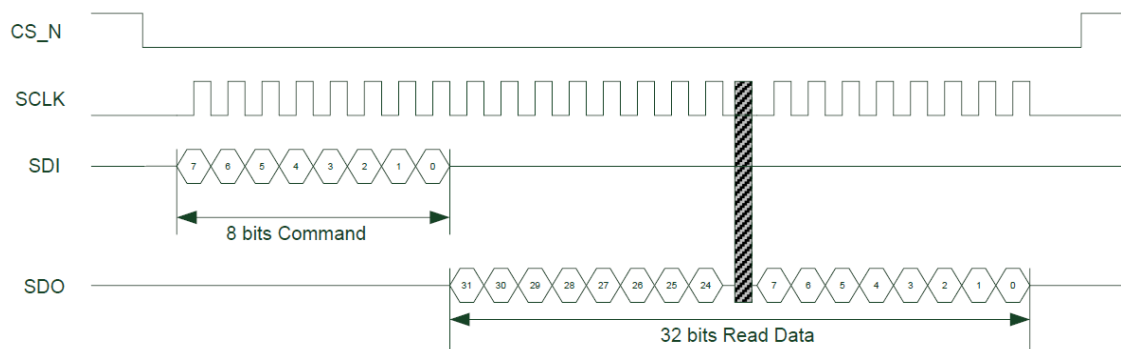


Figure 4-3 SPI 單一 32 bits 寄存器讀幀時序 (不包含 CRC 校驗)

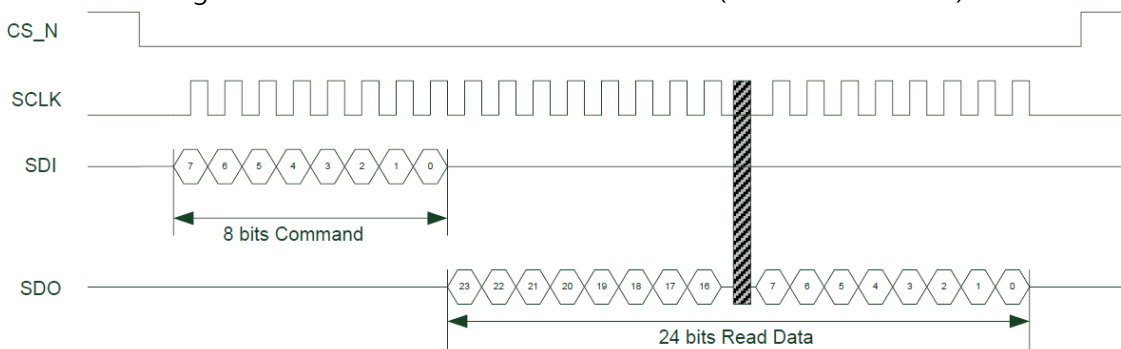


Figure 4-4 SPI 單一 24 bits 寄存器讀幀時序 (不包含 CRC 校驗)

下圖為連續寄存器寫幀在不包含 CRC 校驗的時序

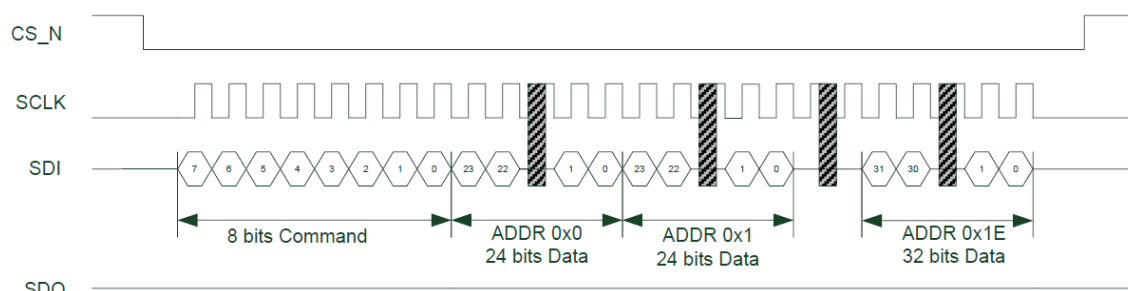


Figure 4-5 SPI 連續寄存器讀幀時序 (不包含 CRC 校驗)

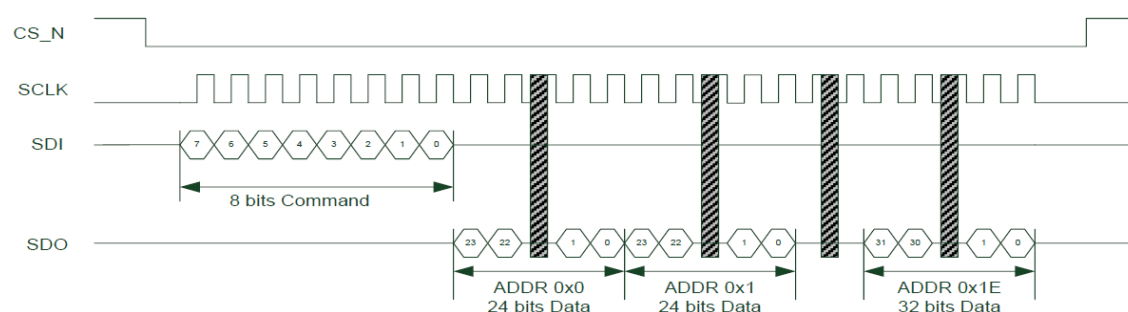


Figure 4-6 SPI 連續寄存器讀幀時序 (不包含 CRC 校驗)

4.2 轉換命令幀

轉換命令幀的第一幀為命令幀，格式如下

Table 4-4 轉換命令幀結構

Bit							
7	6	5	4	3	2	1	0
1	0	0	0	CONV_MOD			PC

Table4-5轉換命令幀各位元組意義

Bit	名稱	描述
7	起始位	必須為 1
6 : 4	保留位	必須為 0
3 : 1	CONV_MOD	轉換模式選擇 0x0：單次轉換模式 0x1：連續轉換模式 0x2：Offset自校準模式 0x5：Offset系統校準模式 其他：保留
0	PC	Bit7 到 Bit1 之同位檢查位元，當 Bit7~Bit1 有奇數個 1 時，PC 應為 0，當 Bit7~Bit1 有偶數個 1 時，PC 應為 1。若此奇數同位檢查位元錯誤，則該命令不被執行，且 SYS_CONF0 中的 ERR_CKS 位置會被置 1。

晶片在收到轉換命令幀後：

- 如命令幀裡發起的是單次轉換模式，則依次掃描 10 組 CONV_CONFx 的寄存器值，只要 CONV_EN 為 1 的，就按其配置值進行轉換，轉換完成後通過 SDO 送出資料。等 10 個 CONV_CONFx 都被遍歷完，則晶片重新進入到命令接收階段。

2) 如命令幀裡發起的是連續轉換模式，則依次掃描 10 組 CONV_CONFx 的寄存器值，只要 CONV_EN 為 1 的，就按其配置值進行轉換，轉換完成後通過 SDO 送出資料。等 10 個 CONV_CONFx 都被遍歷完，則重新回到 CONV_CONF0 開始新一輪遍歷。

如果 10 個 CONV_CONFx 裡，只有 1 個 CONV_CONFx 被使能，則將對該設置寄存器所對應的信號通道進行連續採樣。

轉換幀時序與讀時序主要差別在於轉換命令發出後，需要等待晶片內 DSP 運算完成，在運算完成前，SDO 引腳會是高阻抗狀態，需靠片外拉電阻拉高到 DVDD 電位，當 DSP 運算完成後，SDO 引腳會輸出低電位，此時主控需打 8 bits 的轉換時鐘，此時 SDI 需輸入 0x42，然後可以開始進行 24 bits 資料讀取。

下圖為單一轉換幀在不包含 CRC 校驗的時序

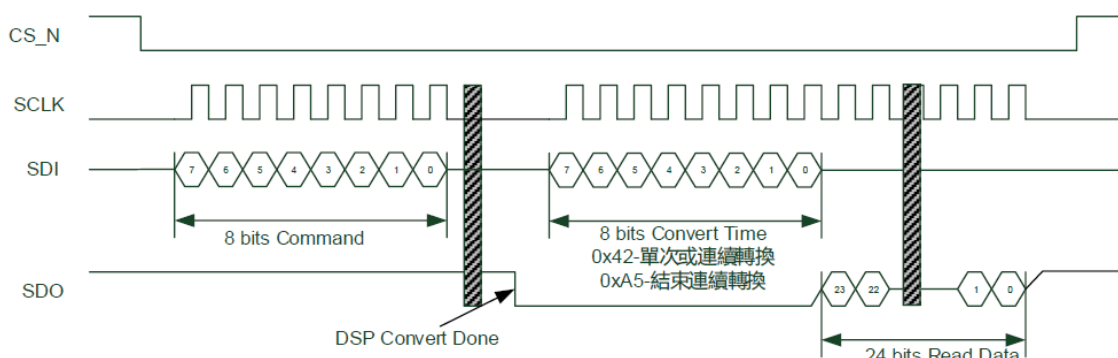


Figure 4-7 SPI 單一轉換幀時序 (不包含 CRC 校驗)

若選擇的是連續轉換模式，當 24 bits 轉換數據傳完之後，SDO 又會變為高阻模式，直到下次 DSP 轉換完成會再把 SDO 拉到 0。若主控想要停止連續轉換模式，可以將片選拉高，若是在片選接地狀態，則必須在 8 bits 的轉換時鐘時，在 SDI 上打(0xA5)，則在本次數據傳遞完成後，晶片會回到待命狀態。

下圖為連續轉換幀在不包含 CRC 校驗且片選一直保持低電平的時序，若等待 DSP 轉換完成發生超時，建議對 SPI 介面進行強制重定後重新開始轉換。

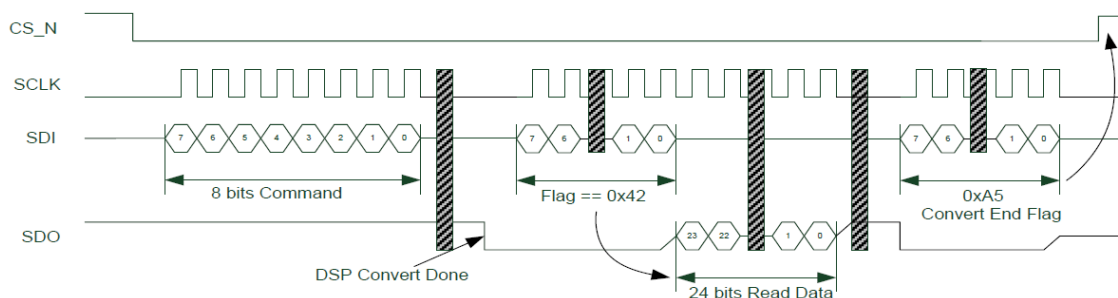


Figure 4-8 SPI 連續轉換幀時序，片選保持低電平 (不包含 CRC 校驗)

下圖為連續轉換幀在不包含 CRC 校驗，但是片選在轉換等待時間可以切為高電平的時序（寄存器 CS_MODE 需為 1），在此模式下，片選只可在讀完 24 bits 資料後舉高，不可以在前面 8 bits dummy byte 或是讀取資料過程中舉高。若等待 DSP 轉換完成發生超時，建議對 SPI 介面進行強制重定後重新開始轉換。

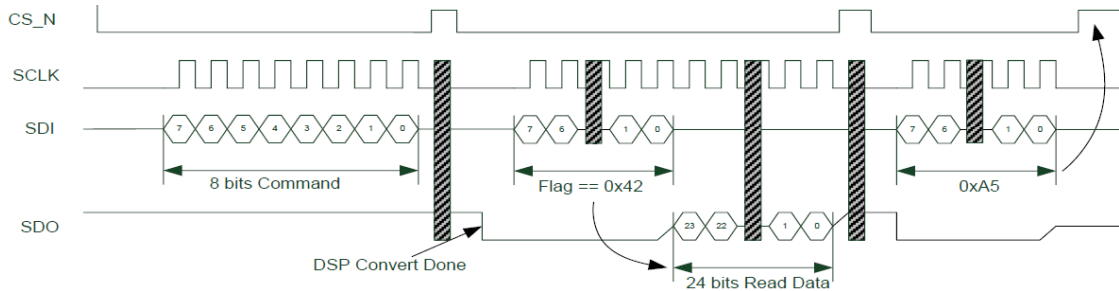


Figure 4-9 SPI 連續轉換幀時序，片選可切為高電平（不包含 CRC 校驗）

4.3 SPI CRC 校驗

當 SYS_CONF0 的 CKS_EN 位置被設置為 1 後，SPI 介面會進入 CRC 校驗模式，包含讀寫幀與轉換幀都會包含 CRC 校驗幀。CRC 校驗幀是針對寫入或是讀出資料做保護，每個 24 或 32 bits 資料都須計算其 CRC8 的結果。CRC8 是參考下面的公式進行運算：

$$\text{CRC8} = X^8 + X^2 + X + 1$$

CRC8 的運算公式可以參考下面的範程式

```
if (len == 24)
    shift_reg = data << 8;
else
    shift_reg = data;
crc8 = 0x0;
for (i=0; i<len; i=i+1) {if ((crc8 >> 7) != (shift_reg >> 31))
    crc8 = ((crc8 << 1) ^ 0x07) & 0xFF;
else
    crc8 = (crc8 << 1) & 0xFF;
    shift_reg <<= 1; }
```

舉例來說，當資料為 0x654321 (24bits) 的情況，其 CRC8 的結果會是 0x86。在每個 24 或是 32 bits 資料後端，都需要加上 CRC 校驗幀，若 CRC 校驗不符合，則該命令會被忽略 (寫幀)，或是該資料為無效資料 (讀幀或是轉換幀)。

下圖為單一寄存器寫幀在包含CRC校驗的時序

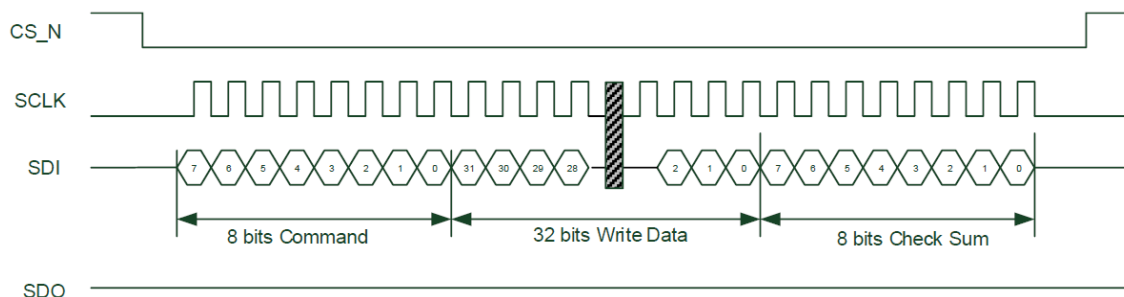


Figure4-10 SPI單一寄存器寫幀時序(包含CRC校驗)

下圖為單一寄存器讀幀在包含CRC校驗的時序

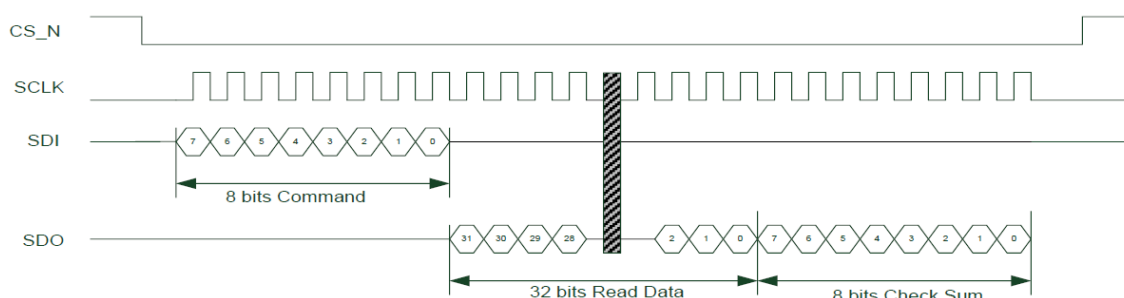


Figure4-11 SPI單一寄存器讀幀時序(包含CRC校驗)

下圖為連續寄存器寫幀在包含CRC校驗的時序

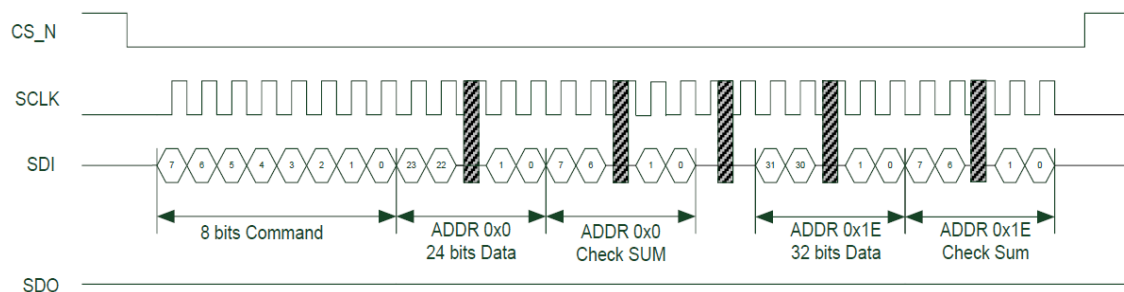


Figure4-12 SPI連續寄存器寫幀時序(包含CRC校驗)

下圖為連續寄存器讀幀在包含CRC校驗的時序

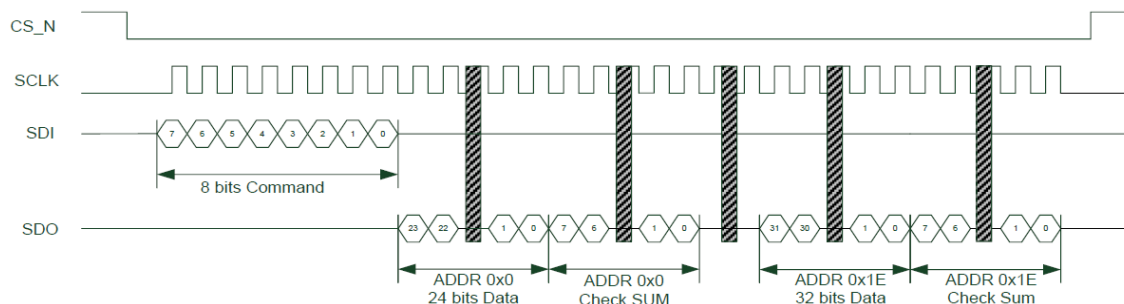


Figure4-13 SPI連續寄存器讀幀時序(包含CRC校驗)

下圖為單一轉換幀在包含CRC校驗的時序

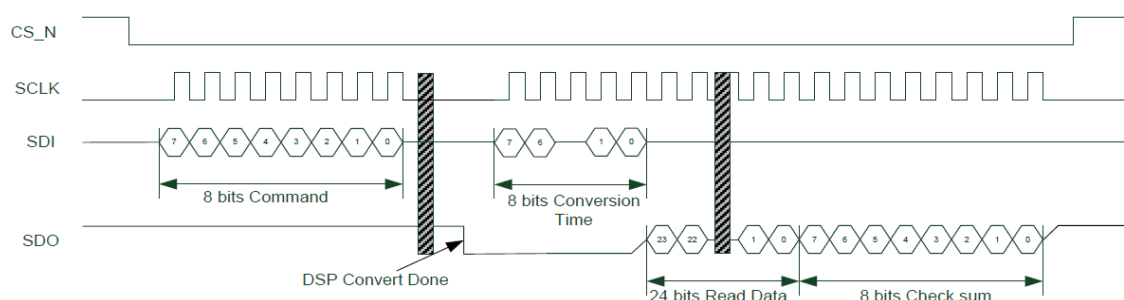


Figure4-14 SPI單一轉換幀時序(包含CRC校驗)

下圖為連續轉換幀在包含CRC校驗且片選一直保持低電平的時序，若等待DSP轉換完成發生超時，建議對SPI介面進行強制重定後重新開始轉換。若是出現CRC校驗錯誤狀況，可將片選置1再置0後繼續重新等待下次DSP轉換完成。

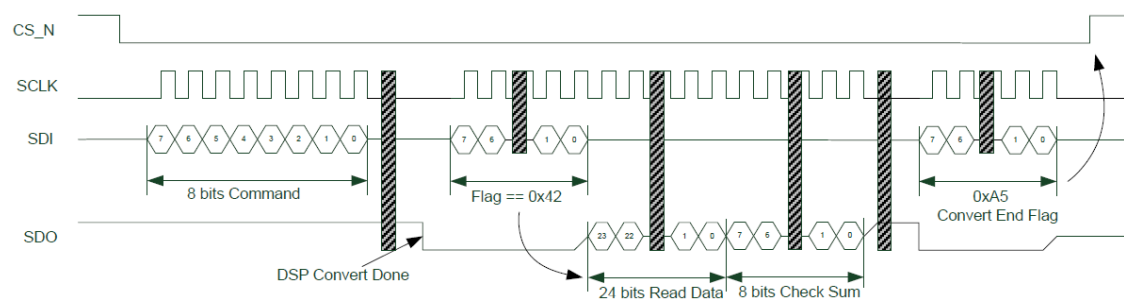


Figure4-15 SPI連續轉換幀時序，片選保持低電平(包含CRC校驗)

下圖為連續轉換幀在包含CRC校驗但是片選在轉換等待時間可以切為高電平的時序(CS_MODE需為1)，在此模式下，片選只可在讀完8bitsCRC校驗後後舉高，不可以在前面8bits dummy byte或是讀取資料過程中舉高。若等待DSP轉換完成發生超時，建議對SPI介面進行強制重定後重新開始轉換。若是出現CRC校驗錯誤狀況，可將片選置1再置0後繼續重新等待下次DSP轉換完成。

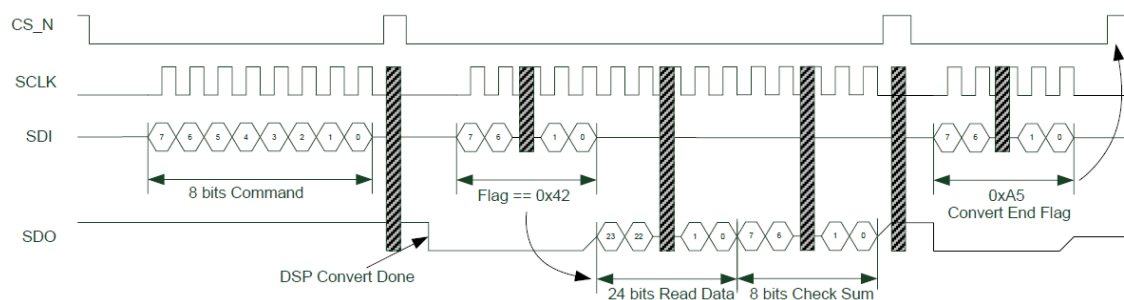


Figure4-16 SPI連續轉換幀時序，片選可切為高電平(包含CRC校驗)

4.4 SPI轉換狀態

因為CS5799支援每次可以選擇多種轉換設置，為了分辨此次輸出是屬於哪組設置，可以在輸出資料後面加上SYS_CONF0[7:0]，此功能可以由STAT_EN (SYS_CONF0bit21)打開，此功能可以與CRC校驗同時開啟。

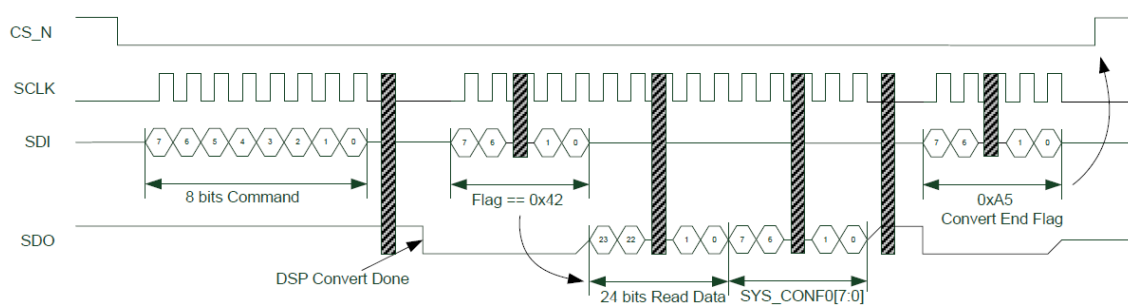


Figure4-17 SPI轉換狀態使能時序(不包含CRC校驗)

4.5 SPI介面復位

在四線模式下，也就是SPI片選是存在的狀況，只要片選被置1，SPI介面就會立即被重定，回到可接收指令狀態，所以不需特殊指令來做SPI介面重定。但當CS_MODE置1時(SYS_CONF0bit24)，若進入連續轉換模式，則當片選置1狀況，並不會重定SPI介面，且片選為1狀況下，SDO介面會浮空，同時所有SCLK均會被忽略，若要跳出此模式，需等到片選置0，且利用正常的連續轉換終止指令(在DUMMY Byte時間於SDI輸入0xA5)，或是利用下面提到的強制重定模式來跳出連續轉換模式。

在三線模式下，SPI片選永遠接地，首先板子上需要確定SCLK不受干擾，建議在板上對SCLK做10Kohm下拉，第一次上電完成後，原則上內部POR會將SPI介面重定，但是建議可以在SDI上打入Byte0=0x00,Byte1=0xA5,Byte2=0xFF,Byte3=0x5A，連續32個時鐘的信號強制SPI介面重定後開始使用。0x00A5FF5A指令可在任何時候生效。復位完成後等待1us後可以重新開始操作SPI指令。

4.6 SPI介面時序

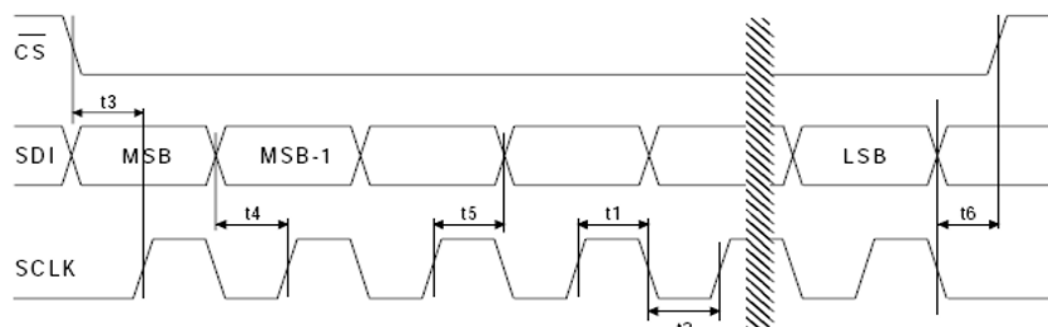


Figure 4-18 SPI 寫時序

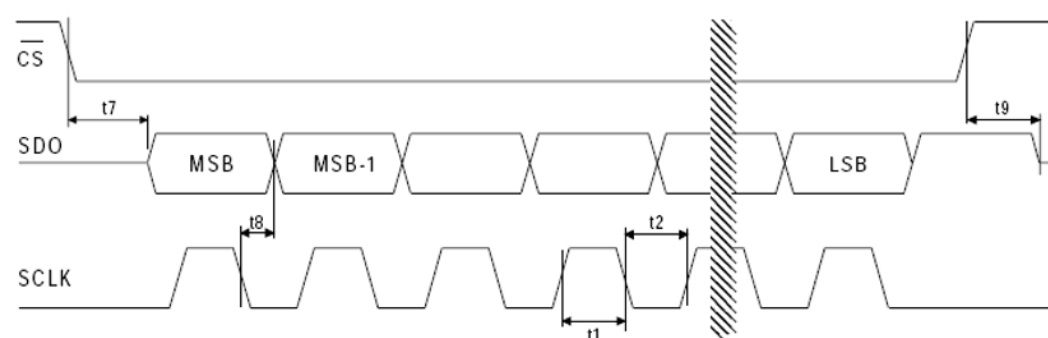


Figure 4-19 SPI 讀時序

Table4-6 SPI 介面時序特性

參數	標識	最小值	典型值	最大值	單位
SPI 時序					
SPI 時鐘頻率	SCK	0		10	MHz
SPI 時鐘脈寬	t1 (高)	50			ns
	t2 (低)	50			ns
SDI 寫時序					
CS 片選到第一個時鐘延時	t3	10			ns
DATA 領先時鐘上升沿的建立時間	t4	10			ns
DATA 在時鐘沿後的穩定時間	t5	20			ns
時鐘下降沿後到 CS 上升的延時	t6	20			ns
SDI 讀時序					
CS 信號變低到有效資料	t7			30	ns
SCK 下降沿到新資料輸出延時	t8			30	ns
CS 信號變高到 SDO 進高阻態的延時	t9			30	ns

SPI寫入資料的時候，SDI的資料是在SCK的下降沿變化，以便在晶片寫入寄存器的時候有足夠的建立和保持時間。晶片內部電路在SCK上升沿去讀取SDI資料，並填入相應的內部寄存器中。

SPI 讀出資料的時候，CS 下降之後即通過 SDO 送出資料，由 MCU 產生 SCK 去讀。SDO 的資料變化是在 SCK 下降沿之後變化。

5 寄存器描述

5.1 寄存器位址

CS5799內共有37個24或32 bits寄存器，可以通過讀寫幀的ADDR，來選擇要讀取或是寫入的位置，下表列出各個寄存器對應的位址與初始值。

Table 5-1 寄存器位址表

地址	名稱	類型	位寬	描述	初始值
0x00	OS_CH0	R/W	24	ADC通道0 Offset設置	0x000000
0x01	GAIN_CH0	R/W	24	ADC通道0 Gain設置	0x400000
0x02	OS_CH1	R/W	24	ADC通道1 Offset設置	0x000000
0x03	GAIN_CH1	R/W	24	ADC通道1 Gain設置	0x400000
0x04	OS_CH2	R/W	24	ADC通道2 Offset設置	0x000000
0x05	GAIN_CH2	R/W	24	ADC通道2 Gain設置	0x400000
0x06	OS_CH3	R/W	24	ADC通道3 Offset設置	0x000000
0x07	GAIN_CH3	R/W	24	ADC通道3 Gain設置	0x400000
0x08	OS_CH4	R/W	24	ADC通道4 Offset設置	0x000000
0x09	GAIN_CH4	R/W	24	ADC通道4 Gain設置	0x400000
0x0A	OS_CH5	R/W	24	ADC通道5 Offset設置	0x000000
0x0B	GAIN_CH5	R/W	24	ADC通道5 Gain設置	0x400000
0x0C	OS_CH6	R/W	24	ADC通道6 Offset設置	0x000000
0x0D	GAIN_CH6	R/W	24	ADC通道6 Gain設置	0x400000
0x0E	OS_CH7	R/W	24	ADC通道7 Offset設置	0x000000
0x0F	GAIN_CH7	R/W	24	ADC通道7 Gain設置	0x400000
0x10	D_TARG	R/W	24	增益校準目標寄存器	0x7FFFFF
0x11	CONV_CONF0	R/W	32	CONF0設置寄存器	0x00000000
0x12	CONV_CONF1	R/W	32	CONF1設置寄存器	0x00000000
0x13	CONV_CONF2	R/W	32	CONF2設置寄存器	0x00000000
0x14	CONV_CONF3	R/W	32	CONF3設置寄存器	0x00000000
0x15	CONV_CONF4	R/W	32	CONF4設置寄存器	0x00000000
0x16	CONV_CONF5	R/W	32	CONF5設置寄存器	0x00000000
0x17	CONV_CONF6	R/W	32	CONF6設置寄存器	0x00000000
0x18	CONV_CONF7	R/W	32	CONF7設置寄存器	0x00000000
0x19	CONV_CONF8	R/W	32	CONF8設置寄存器	0x00000000
0x1A	CONV_CONF9	R/W	32	CONF9設置寄存器	0x00000000
0x1B	SYS_CONF0	R/W	32	系統設置寄存器0	0x00008000
0x1C	SYS_CONF1	R/W	32	系統設置寄存器1	0x00000000
0x1D	SYS_CONF2	R/W	32	系統設置寄存器2	0x00000000
0x1E	SYS_CONF3	R/W	32	系統設置寄存器3	0x00000000
0x1F	CONV_DATA	R	24	轉換資料寄存器	--

5.2 OS_CHx/GAIN_CHx 寄存器

OS_CHx 與 GAIN_CHx 用來存儲相對應通道(x=0~7)的 Offset 與 Gain 校準值

Table 5-2 OS_CHx 定義

位置	名稱	類型	描述	Default
23 : 0	OS_CHx	R/W	ADC通道x(0~8)的Offset校準值。此校準值可由主控端填入或是在進行Offset自校準或是系統校準時由晶片自動更新。此校準值為24bits有號數。在進行標準模式轉換完成後，會先減掉此Offset值後再進行增益校準。下面列出各種數值代表意義 0x000000：偏差0 0x400000：正半量程(+0.50) 0x7FFFFFFF：正滿量程(+1.00) 0xC00000：負半量程(-0.50) 0x800000：負滿量程(-1.00)	0x000000

Table 5-3 GAIN_CHx 定義

位置	名稱	類型	描述	Default
23 : 0	GAIN_CHx	R/W	ADC 通道 x(0 ~ 8)的 Gain 校準值。此校準值可由主控端填或是在進行 Gain 系統校準時由晶片自動更新。此校正值為 24 bit無號數。在進行標準模式轉換後，會先減掉 Offset 校準值後再乘上此增益校準值。下面列出各種數值代表意義 0x200000：Gain = 0.5 0x400000：Gain = 1.00 0x600000：Gain = 1.50 0x800000：Gain = 2.00	0x400000

實際進行 ADC 轉換時，每組 CONFx 會對應到不同的校準值，可以參考下表說明。

Table 5-4 校準值選擇表

CONFx	使用的校準值
0	OS_CH0, GAIN_CH0
1	OS_CH1, GAIN_CH1
2	OS_CH2, GAIN_CH2
3	OS_CH3, GAIN_CH3
4	OS_CH4, GAIN_CH4
5	OS_CH5, GAIN_CH5
6	OS_CH6, GAIN_CH6
7	OS_CH7, GAIN_CH7
8	當使用晶片的溫度功能時，使用該通道
9	OS=0x000000, GAIN=0x400000

5.3 CONV_CONFx 寄存器

CONV_CONFx (x=0 ~ 9)是用來儲存轉換設置的寄存器，晶片內共有十組轉換設置可以隨時調用，其中只要該組設置的使能位為 1，則該組設置會在每次單一轉換或是每個連續轉換的迴圈裡被觸發。舉例來說，若第 1/3/5 組轉換位置被使能，則每次單一轉換開始時，會連續進行 1/3/5 三組設置的轉換，也就是會輸出三筆資料後轉換才會停止。若是連續轉換，則會以 /3/5/1/3/5/1/3/5 這樣的順序連續輸出資料。在每次開始轉換之前，主控端需要先將相對應的轉換設置寄存器設置好。下表 5-5列出列出 CONV_CONFx 之具體定義。

Table 5-5 CONV_CONFx 定義

位置	名稱	類型	描述	Default
31	CONV_EN	R/W	轉換使能 0：關閉該設置 1：使能設置，每次轉換命令後，該設置會被啟動	0x00
30 : 24			保留	0x00
23 : 20	DR	R/W	ADC 資料輸出碼率選擇 當SYS_CONF1的FR_SEL=0時(50Hz模式)，輸出頻率如下表 0x00 : 6400Hz 0x01 : 3200Hz 0x02 : 1600Hz 0x03 : 800Hz 0x04 : 400Hz 0x05 : 200Hz 0x06 : 100Hz 0x07 : 50Hz 0x08 : 25Hz 0x09 : 12.5Hz 0x0A : 6.25Hz 0x0B~0xF : 3.125Hz 當 FR_SEL=1 時，輸出頻率為上表乘 1.2	
19 : 18			保留	0x00
17 : 16	FLIT_TYPE	R/W	濾波器類型選擇 0：選擇一階濾波器 1：選擇三階濾波器 2：選擇50/60Hz抑制濾波器 3：保留	0x00
15 : 14	REFSEL	R/W	ADC基準電壓選擇 1：REFP2/REFN2	0x00
13	SIGBUF_ENN	R/W	輸入信號BUFFER使能 0：打開 1：關閉 每次開始轉換後，該寄存器的值會自動更新到SYS_CONF3的同名寄存器上	0x00
12	REFBUF_ENN	R/W	基準 BUFFER 使能 0：打開 1：關閉 每次開始轉換後，該寄存器的值會自動更新到 SYS_CONF3 的同名寄存器上	0x00
11	BURNOUT	R/W	輸入信號端開路檢測 0：關閉開路檢測功能 1：晶片內部往輸入引腳灌 0.5uA 電流，檢測是否開路 每次開始轉換後，該寄存器的值會自動更新到 SYS_CONF3 的同名寄存器上	0x00
10 : 8	GA	R/W	ADC 模擬增益選擇 0x00 : x1 0x01 : x2 0x02 : x4 0x03 : x8 0x04 : x16 0x05 : x32 0x06 : x64 0x07 : x128 每次開始轉換後，該寄存器的值會自動更新到 SYS_CONF3 的同名寄存器上	0x00

位置	名稱	類型	描述	Default
7 : 4	VNSEL	R/W	ADC 負端信號來源選擇 0x00 : AIN0 0x01 : AIN1 0x02 : AIN2 0x03 : AIN3 0x04 : AIN4 0x05 : AIN5 0x09~0x0F : GND 每次開始轉換後，該寄存器的值會自動更新到 SYS_CONF3 的同名寄存器上	0x00
3 : 0	VPSEL	R/W	ADC 正端信號來源選擇 0x00 : AIN0 0x01 : AIN1 0x02 : AIN2 0x03 : AIN3 0x04 : AIN4 0x05 : AIN5 0x0C~0x0F : GND 每次開始轉換後，該寄存器的值會自動更新到 SYS_CONF3 的同名寄存器上	0x00

5.4 SYS_CONFx 寄存器

SYS_CONFx (x=0~3)為系統相關的配置寄存器，主控端需要在開機完成後先完成正確的系統組態。

5.4.1 SYS_CONF0

D31	D30	D29	D28	D27	D26	D25	D24
RS_SYS						ARRAY	CS_MODE
D23	D22	D21	D20	D19	D18	D17	D16
		STAT_EN	ADSAT_EN	SPICKCNT_EN	CKS_EN		REGCK_EN
D15	D14	D13	D12	D11	D10	D9	D8
RS_V			ADSAT_ERR	SPICKCNT_ERR	CKS_ERR		REGCK_ERR
D7	D6	D5	D4	D3	D2	D1	D0
CONV_SQ<3>	CONV_SQ<2>	CONV_SQ<1>	CONV_SQ<0>		REF_ERR	PWLV_ERR	ERR_ALL

位置	名稱	類型	描述	Default
31	RS_SYS	R/W	系統全域重定 (不包含 SPI 介面部分)，當此位置被寫入 1 之後， 會進行系統全域重定，此位置會在 10ms 後自動清 0 寫入 0：無效果 寫入 1：開始全域復位 讀取 0：全域復位已完成 讀取 1：全域復位進行中	0x00
30 : 27			保留	0x00
26			保留	0x00
25	ARRAY	R/W	寄存器存取方式選擇 0：單個地址讀寫 1：全部位元址連續讀寫 (0x00~0x1E)	0x00
24	CS_MODE	R/W	SPI 片選模式選擇 0：關閉 SPI 片選可置 1 模式，當連續轉換模式時，只要 SPI 片選置 1，即會退出連續轉換模式 1：開啟 SPI 片選可置 1 模式，當連續轉換模式時，當 SPI 片選置1，不會退出連續轉換模式， 當 SPI 片選再度置 0 時，會繼續之前的連續轉換模式，直到收到停止連續轉換模式之指令 (0xA5@Dummy byte)	0x00
23 : 22			保留	0x00

Table 5-6 SYS_CONF0 定義

位置	名稱	類型	描述	Default
21	STAT_EN	R/W	ADC 資料狀態輸出使能 0：不使能 1：每次轉換完資料後，在 24 bits ADC 資料後，會再輸出 SYS_CONF0 bit[7:0]，此時若有開啟 CRC 校驗功能，會再根據前面 32 bits 輸出 CRC 校驗	0x00
20	ADSAT_EN	R/W	ADC 資料飽和檢測使能 0：不使能 1：當 ADC 輸出連續 30 個點是 0 或 1 時，ADSAT_ERR 置 1	0x00
19	SPICKCNT_EN	R/W	SPI 時鐘數目檢測使能 0：不使能 1：在 SPI 通訊時對 SCLK 進行計數，若每輪通訊結束後總時鐘數不是 8 的倍數，則 SPICKCNT_ERR 置 1。此檢測只能在 SPI 4 線模式 (有 CSN) 狀況下作用	0x00
18	CKS_EN	R/W	SPI 介面 CRC 校驗使能 0：關閉 SPI 介面 CRC 校驗 1：開啟 SPI 介面 CRC 校驗	0x00
17			保留	0x00
16	REGCK_EN	R/W	寄存器 CRC 校正使能 0：不使能 1：使能內部寄存器 CRC 校正，每次單一轉換完成後或是連續轉換停止時，會對寄存器 0x00~0x1D 進行 CRC 檢測，當 CRC 檢測錯誤時，會將 REGCK_ERR 置 1	0x00
15	RS_V	R	重定有效標誌 0：上次重定失敗，主控需要重新進行全域重定 1：上次復位成功	0x00
14 : 13			保留	0x00
12	ADSAT_ERR	R	ADC 飽和錯誤，此寄存器會在主控讀取此寄存器後自動清 0 0：未發生錯誤 1：ADC 飽和錯誤	0x00
11	SPICKCNT_ERR	R	SPI 時鐘數目檢測錯誤，此寄存器會在主控讀取此寄存器後自動清 0 0：未發生錯誤 1：SPI 時鐘數目錯誤	0x00
10	CKS_ERR	R	SPI 奇數同位檢查或 CRC 校驗錯誤，此寄存器會在主控讀取此寄存器後自動清 0 0：未發生錯誤 1：表示最後一次接收到的命令禱奇數同位檢查錯誤或是資料的 CRC 校驗錯誤	0x00
9			保留	0x00
8	REGCK_ERR	R	寄存器自校驗錯誤，此寄存器會在主控讀取此寄存器後自動清 0	0x00
7 : 4	CONV_SQ	R	當前轉換的轉換設置寄存器序號 0：對應 CONV_CONF0 1：對應 CONV_CONF1 ... 9：對應 CONV_CONF9	0x00
3			保留	0x00
2	REF_ERR	R	基準源電壓過低 0：基準源電壓正常 1：基準源電壓過低	0x00
1	PW_LV	R	晶片電源欠壓檢測 0：晶片電源在 3V 以上 1：晶片電源已掉到 3V 以下	0x00
0	ERR_ALL	R	上述狀態寄存器裡，若 RS_V=0 或是其他錯誤狀態任一為 1，則此位置 1	0x00

5.4.2 SYS_CONF1

D31	D30	D29	D28	D27	D26	D25	D24
					SWT_SIG		
D23	D22	D21	D20	D19	D18	D17	D16
ADCKSEL<0>	ADCKSEL<1>	FR_SEL		REFDET_EN			
D15	D14	D13	D12	D11	D10	D9	D8
POWD	IIT1	IIT0					
D7	D6	D5	D4	D3	D2	D1	D0
REF2P5_EN	ADCPDN	PWRDET	IDT				

Table 5-7 SYS_CONF1 定義

位置	名稱	類型	描述	Default
31 : 27			保留	0x00
26	SWT_SIG	R/W	SWT_SIG IO 使能 0 : 100k 電阻弱下拉到地 1 : 將 SWT_SIG IO 通過一個 3 歐姆電阻下拉到地	0x00
25 : 24			保留	0x00
23 : 22	ADCKSEL	R/W	ADC 工作頻率選擇，DR 寄存器所對應的輸出 0 : 預設頻率 1 : 工作頻率除 2，此時 DR 寄存器所對應的資料率也相應除 2 2 : 工作頻率乘 2，此時 DR 寄存器所對應的資料率也相應乘 2 3 : 保留	0x00
21	FR_SEL	R/W	頻率模式選擇 0 : 50Hz 模式 1 : 60Hz 模式，此時 DR 寄存器對應頻率都乘 1.2	0x00
20			保留	0x00
19	REFDET_EN	R/W	REF 檢測使能 0 : 不使能 1 : 使能，當正使用的 REF 低於 0.6V 時，REF_ERR 置 1	0x00
18 : 16			保留	0x00
15	POWD	R/W	睡眠模式選擇 0 : 正常工作模式 1 : 睡眠模式（無法進行轉換）	0x00
14	IIT1	R/W	增加 PGA 電流，用於高功率模式 0:默認 1:增加約 80uA	0x00
13	IIT0	R/W	增加 PGA 電流，用於高功率模式 0:默認 1:增加約 60uA	0x00
12 : 7			保留	0x00
6	ADCPDN	R/W	ADC 類比模組使能，此寄存器會在開始轉換時自動開關 ADC，但是主控端也可以強制打開 ADC 讀取 0 : ADC 已關閉 讀取 1 : ADC 已使能 寫入 0 : 無作用 寫入 1 : 強制使能 ADC (測試用)	0x00
5	PWRDET	R/W	電源欠壓檢測使能 0 : 不使能 1 : 使能	0x00

位置	名稱	類型	描述	Default
4	IDT	R/W	偏置電流調節 0 : x1; 1 : x0.6	0x00
3 : 0			保留	0x00

5.4.3 SYS_CONF2

D31	D30	D29	D28	D27	D26	D25	D24
GPIO3_DAT	GPIO2_DAT	GPIO1_DAT	GPIO0_DAT	GPIO3_EN	GPIO2_EN	GPIO1_EN	GPIO0_EN
D23	D22	D21	D20	D19	D18	D17	D16
D15	D14	D13	D12	D11	D10	D9	D8
D7	D6	D5	D4	D3	D2	D1	D0
SHI							

Table 5-8 SYS_CONF2 定義

位置	名稱	類型	描述	Default
31 : 28	GPIOx_DAT	R/W	GPIOx 輸出資料，對應到引腳 P4~P1 (x=3~0)，只在對應 GPIOx_EN 為 1 時有效 0 : 輸出 0 1 : 輸出 1	0x00
27 : 24	GPIOx_EN	R/W	GPIOx 使能，對應到引腳 P4~P1 (x=3~0) 0 : 將引腳 P4~P1 當作 ADC 輸入信號口使用 1 : 將引腳 P4~P1 作為輸出口使用，輸出值由 GPIOx_DAT 決定	0x00
23 : 16			保留	0x00
15 : 8			保留	0x00
7	SHI	R/W	ADC 輸入內部短路，此寄存器會在進行 Offset 校準時自動置 1，校準完成後會回復原本設定值，軟體設置此寄存器為 1 後會強制使能短路功能 0 : 不使能 1 : 使能	0x00
6 : 0			保留	0x00

5.4.4 SYS_CONF3

D31	D30	D29	D28	D27	D26	D25	D24
D23	D22	D21	D20	D19	D18	D17	D16
D15	D14	D13	D12	D11	D10	D9	D8
REFSEL<1>	REFSEL<0>	SIGBUF_ENN	REFBUF_ENN	BURNOUT	GA<2>	GA<1>	GA<0>
D7	D6	D5	D4	D3	D2	D1	D0
VNSEL<3>	VNSEL<2>	VNSEL<1>	VNSEL<0>	VPSEL<3>	VPSEL<2>	VPSEL<1>	VPSEL<0>

Table 5-9 SYS_CONF3 定義

位置	名稱	類型	描述	Default
31 : 22			保留	0x00
21 : 16			保留	0x00
15 : 14	REFSEL	R	ADC 基準電壓選擇，此寄存器的值會由當前選擇的轉換配置寄存器賦值過來 1：REFP2/REFN2	0x00
13	SIGBUF_ENN	R	信號 BUFFER 使能，此寄存器的值會由當前選擇的轉換配置寄存器賦值過來 0：打開 1：關閉	0x00
12	REFBUF_ENN	R	基準 BUFFER 使能，此寄存器的值會由當前選擇的轉換配置寄存器賦值過來 0：打開 1：關閉	0x00
11	BURNOUT	R	輸入信號端開路檢測，此寄存器的值會由當前選擇的轉換配置寄存器賦值過來 0：關閉開路檢測功能 1：晶片內部往輸入引腳灌 0.5uA 電流，檢測是否開路	0x00
10 : 8	GA	R	ADC 類比增益選擇，此寄存器的值會由當前選擇的轉換配置寄存器賦值過來 0x0：x1 0x1：x2 0x2：x4 0x3：x8 0x4：x16 0x5：x32 0x6：x64 0x7：x128	0x00
7 : 4	VNSEL	R	ADC 信號負端選擇，此寄存器的值會由當前選擇的轉換配置寄存器賦值過來 0x0：AIN0 0x1：AIN1 0x2：AIN2 0x3：AIN3 0x4：AIN4 0x5：AIN5 0x9~0xF：GND	0x00
3 : 0	VPSEL	R	ADC 信號正端選擇，此寄存器的值會由當前選擇的轉換配置寄存器賦值過來 0x0：AIN0 0x1：AIN1 0x2：AIN2 0x3：AIN3 0x4：AIN4 0x5：AIN5 0xC~0xF：GND	0x00

5.5 D_TARG 寄存器

D_TARG 寄存器為 GAIN 校準時需要用到的寄存器，詳請請見校準單元。

Table 5-10 D_TARG 定義

位置	名稱	類型	描述	Default
23 : 0	D_TARG	R/W	系統 Gain 校準之 ADC 期望值 0x400000 : 正半量程(+0.50) 0x7FFFFFF : 正滿量程(+1.00)	0x7FFFFFF

5.6 CONV_DATA 寄存器

CONV_DATA 寄存器為轉換完成後資料儲存的寄存器，詳請請見校準單元。

Table 5-11 CONV_DATA 定義

位置	名稱	類型	描述	Default
23 : 0	DATA	R	ADC 轉換結果 0x400000 : 正半量程(+0.50) 0x7FFFFFF : 正滿量程(+1.00) 0xC00000 : 負半量程(+0.50) 0x800000 : 負滿量程(-1.00)	--

6. 晶片校準

6.1. 校準概述

晶片的校準分為兩個部分，offset 校準和 gain 校準。同時又分為自校準和系統校準兩類，不管是自校準還是系統校準，使用者都需先校準 offset，後校準 gain。校準時也沿用轉換設置寄存器裡的 DR (Data Rate)設置，如果時間允許客戶應盡可能使用更低的 data rate 來進行 offset 校準和 gain 校準，以便得到更精確的校準值。如果期望校準值再精確 (如 24BIT 以上的無雜訊精)，可以由主控端多發起幾次校準，每次校準後都將校準值讀出，再取平均值，寫入校準寄存器中。

6.2. Offset 自校準

上位機通過轉換命令幀配置晶片進入 offset 自校準模式後，晶片會自動將 SYS_CONF 中的 SHI 寄存器置'1'，晶片將在內部將選中通道的輸入端短路，此時 ADC 輸入的信號為 0 信號，然後以指定的轉換設置寄存器中的 ADC 配置參數 (如 ADC 增益、DR 配置等)測量此時的 ADC 值，所測得的 ADC 轉換值即為晶片自身所具有的 offset，晶片將自動將該 offset 值填入相應通道的 offset 校準寄存器中，同時也從 SDO 上輸出資料以便上位機讀取。

校準完成晶片會將系統寄存器中的 SHI 寄存器置'0'。

6.3. Offset 系統校準

上位機通過轉換命令幀配置晶片進入 offset 系統校準模式後，晶片將以指定的轉換設置寄存器中的ADC 配置參數 (如 ADC 增益、DR 配置等)測量此時的 ADC 值。在此之前，使用者需保證晶片外部所加信號為 0，此時所測得的值即為系統 offset，晶片將自動將該 offset 值填入相應通道的 offset 校準寄存器中，同時也從 SDO 上輸出資料以便上位機讀取。

6.4. Gain 系統校準

上位機通過轉換命令幀配置晶片進入 gain 系統校準模式後，晶片將以指定的轉換設置寄存器中的 ADC 配置參數 (如 ADC 增益、DR 配置等) 測量此時的 ADC 值。在此之前，使用者需保證晶片外部所加信號幅度達到滿量程的 10% 以上 (最好為 20%~50% 之間)。同時使用者將該輸入信號下所期望的理想 ADC 值填入 ADC 目標寄存器 D_{targ} 中。

ADC 轉換完成後，ADC 經濾波器得到的值為 D_{ori} ，首先將減掉對應通道中的 offset 寄存器值 (校準時先校準 offset，此時該通道的 offset 值已經是準確值)， $D_{out} = D_{ori} - OS_CHx$ ，然後計算 $GAIN_CHx = D_{targ}/D_{out}$ ，並自動將 $GAIN_CHx$ 填入相應通道的 gain 校準寄存器中，同時也從 SDO 上輸出資料以便上位機讀取。

6.5. 正常轉換時的資料校準

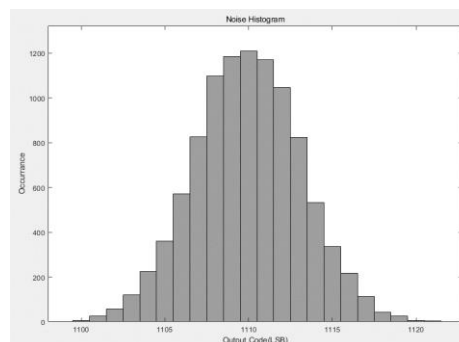
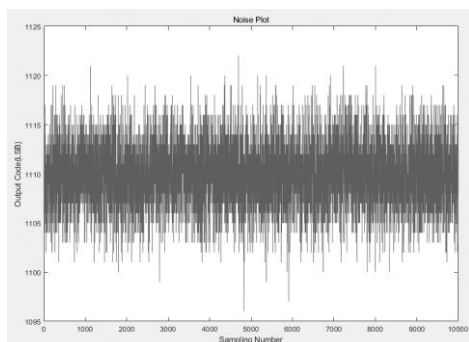
正常轉換時，假設 ADC 經濾波器得到的值為 D_{ori} ，根據轉換設置寄存器裡的配置，該次轉換對應選擇的 offset 和 gain 校準寄存器值分別為 OS_CHx 和 $GAIN_CHx$ ，則晶片將自動計算值，並將其填入轉換資料寄存器。

7 ADC 測試圖表

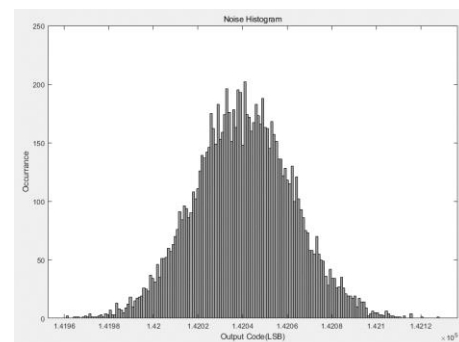
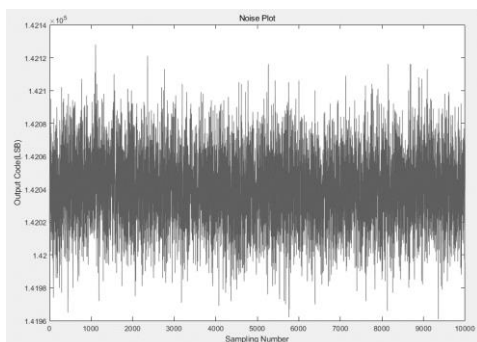
7.1 性能工作模式下的雜訊值

測試條件：輸入 0.33mV 的直流信號，AVDD=DVDD=5V，REFP1=2.5V，REFN1=GND，取樣速率 25Hz。

PGA=1



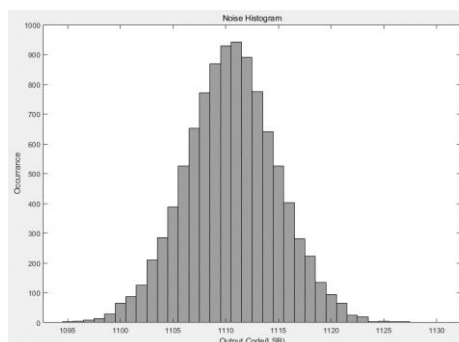
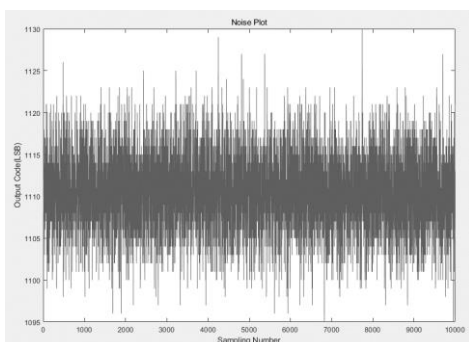
PGA=128



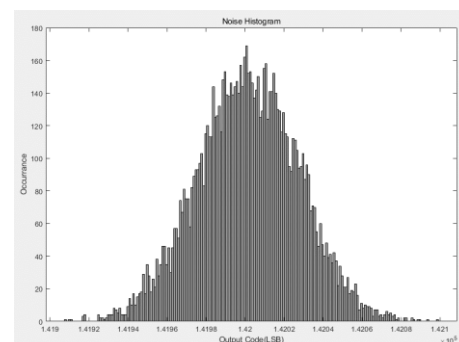
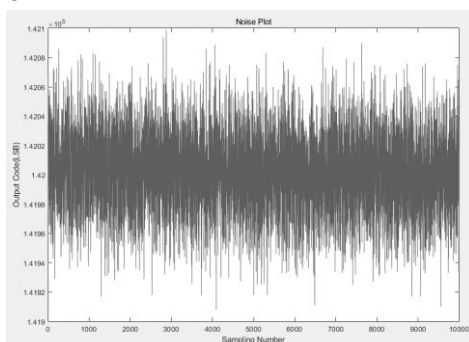
7.2 正常工作模式下的雜訊值

測試條件：輸入 0.33mV 的直流信號，AVDD=DVDD=5V，REFP1=2.5V，REFN1=GND，取樣速率 25Hz。

PGA=1



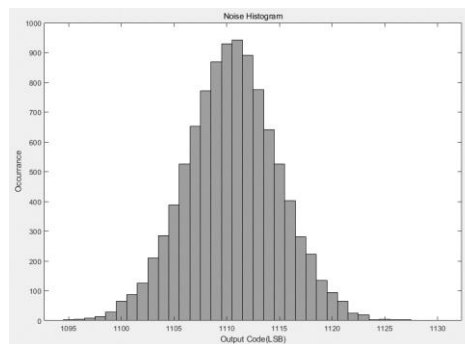
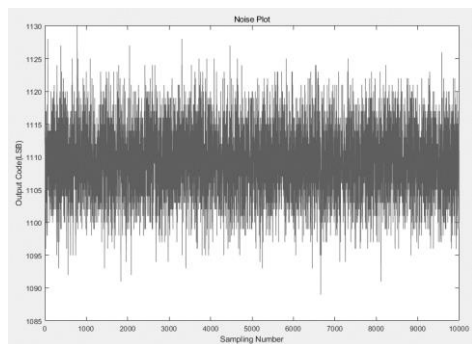
PGA=128



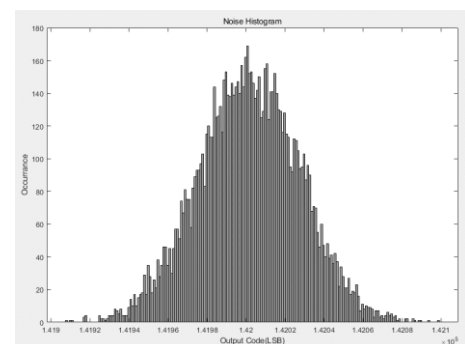
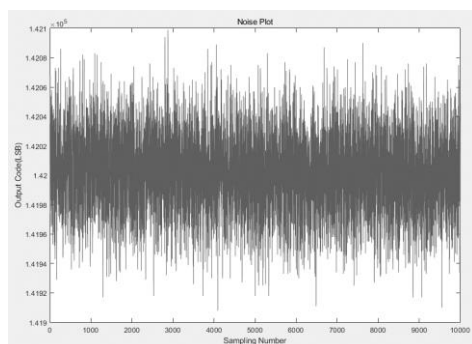
7.3 低功耗工作模式下的雜訊值

測試條件：輸入 0.33mV 的直流信號， $AVDD=DVDD=5V$ ， $REFP1=2.5V$ ， $REFN1=GND$ ，取樣速率 25Hz。

PGA=1



PGA=128

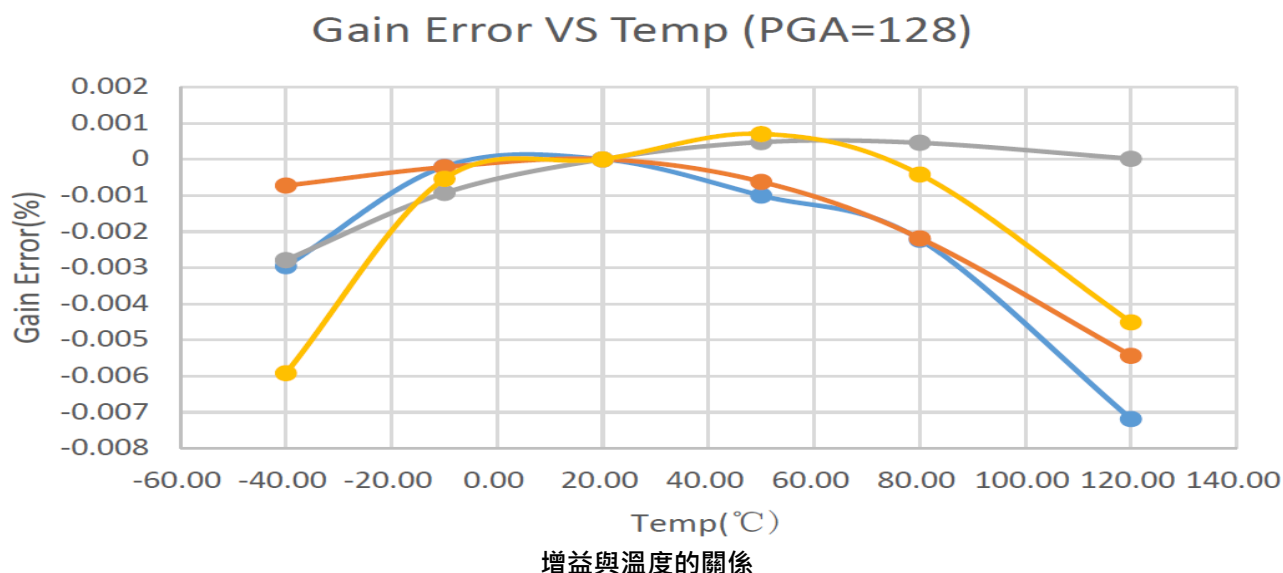


7.4 增益和 Offset 的溫漂

增益溫漂測試條件：

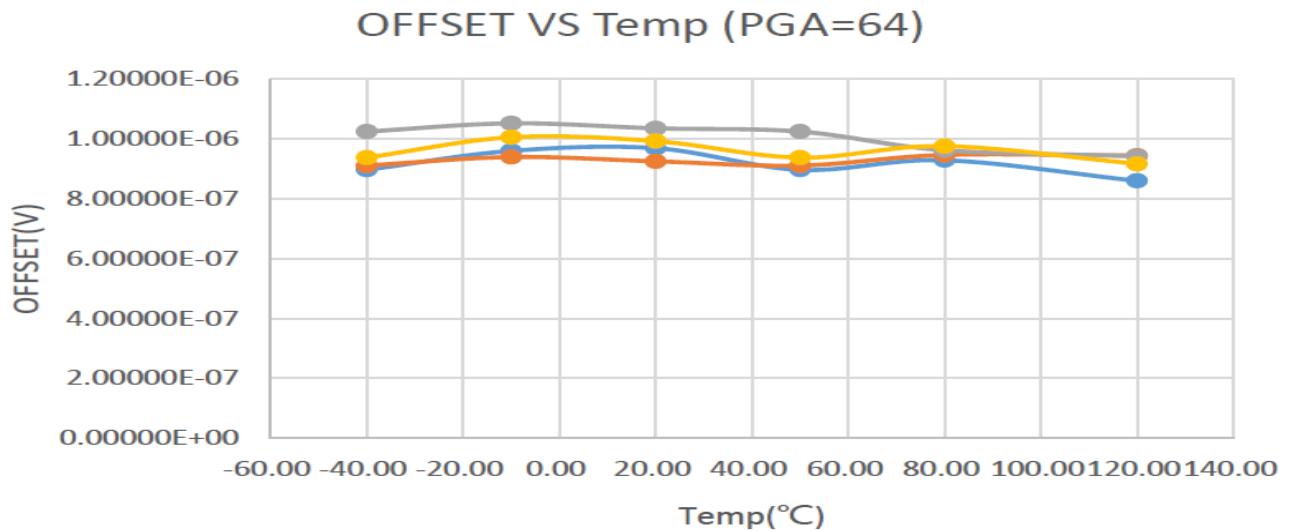
輸入一半滿量程的直流信號， $AVDD=DVDD=REFP1=5V$ ， $REFN1=GND$ ， $PGA=128$ ， $DR=3.125Hz$ 。
測試溫度範圍為-40~120 攝氏度。

下圖為 4 顆晶片的測試資料：



Offset溫漂測試條件：

選擇內部 GND 通道，AVDD=DVDD=5V，REFP1=2.5V, REFN1=GND，增益設置為 64 倍，DR=3.125Hz。測試溫度範圍-40~120 攝氏度。



Offset 與溫度的關係

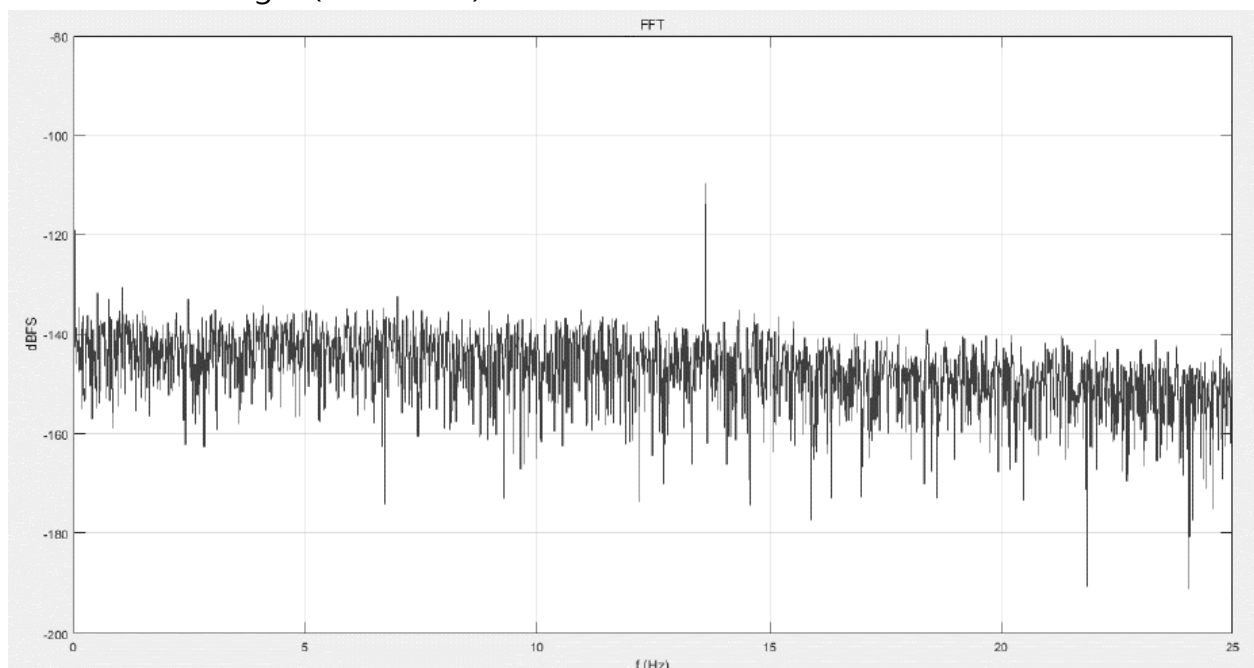
7.5 電源抑制比(PSRR)

測試條件：

電源上迭加1V峰峰值、12.5Hz的正弦信號，AVDD=DVDD=4.5V（即電源在4~5V之間變化），REFP1=2.5V，REFN1=GND，PGA設置為128倍，取樣速率50Hz。頻譜圖如下圖所示。

電源工頻幹擾信號在輸出資料上為-108dB，即4uV，等效到輸入端為 $4\mu\text{V} \times 2.5\text{V} / 128 = 78\text{nV}$ （其中2.5V為基準電壓）。1V峰峰值的輸入電源幹擾的有效值為， $1/2/1.414 = 0.354\text{V}$ 。

則PSRR計算為： $20 \times \log_{10}(0.354/78\text{n}) = 133\text{dB}$

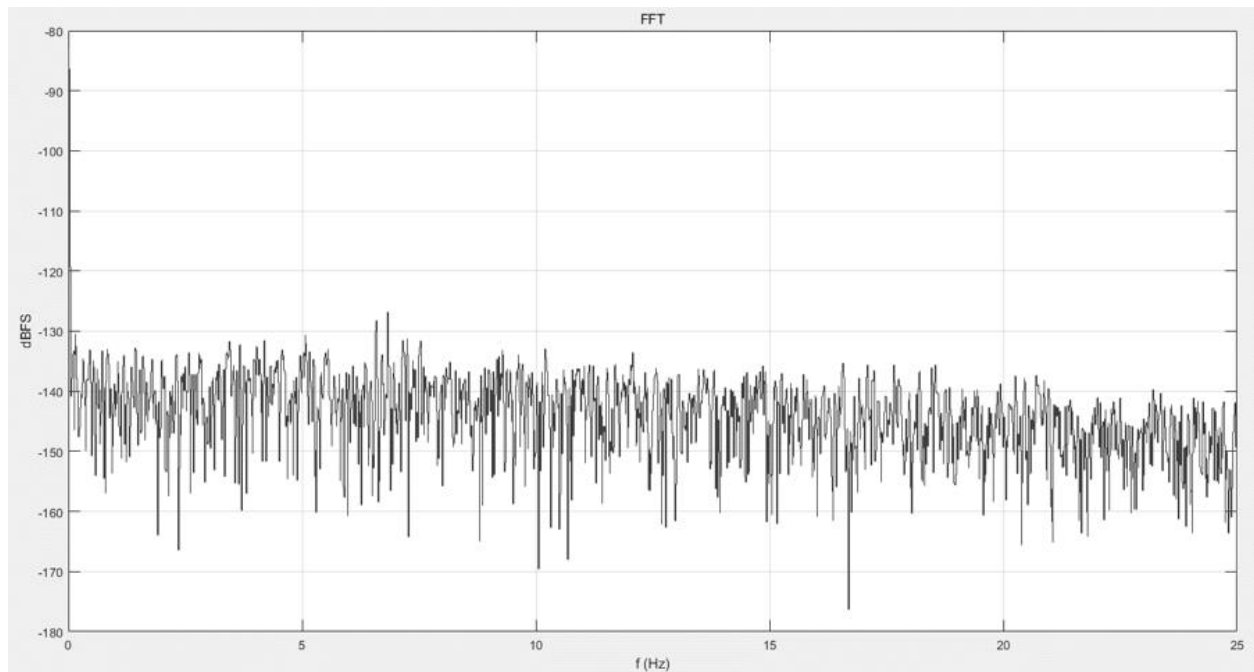


7.6 共模抑制比(CMRR)

測試條件：

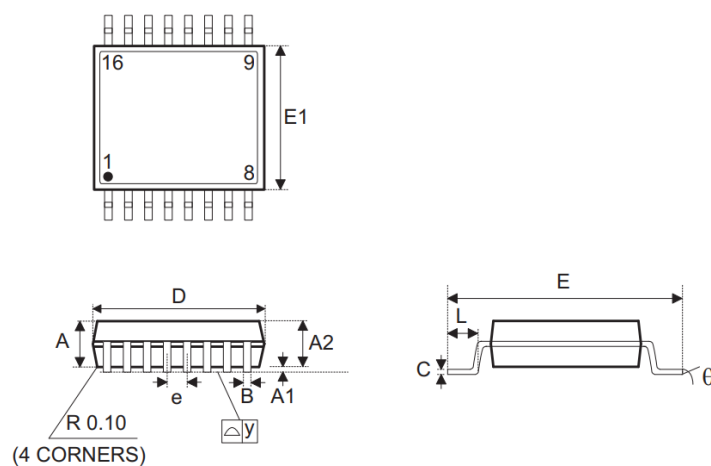
在輸入信號上迭加2V峰峰值、6.25Hz的正弦共模信號， $AVDD=DVDD=5V$ ， $REFP1=2.5V$ ， $REFN1=GND$ ，PGA設置為128倍，取樣速率50Hz。頻譜圖如下圖所示。

無可見共模信號出現在信號頻譜上，考慮到PGA為128倍，則共模抑制在150dB以上



8. PACKAGING 封裝

TSSOP16 封裝



Symbol	Dimensions in inch		
	Min.	Nom.	Max.
A	0.039	—	0.041
A1	0.002	—	0.006
A2	0.041	—	0.047
B	—	0.010	—
C	0.004	—	0.006
D	0.193	—	0.201
E	0.244	—	0.260
E1	0.169	—	0.177
e	—	0.026	—
L	0.020	—	0.028
y	—	—	0.003
θ	0°	—	8°

Symbol	Dimensions in mm		
	Min.	Nom.	Max.
A	1.00	—	1.05
A1	0.05	—	0.15
A2	1.05	—	1.20
B	—	0.25	—
C	0.11	—	0.15
D	4.90	—	5.10
E	6.20	—	6.60
E1	4.30	—	4.50
e	—	0.65	—
L	0.50	—	0.70
y	—	—	0.076
θ	0°	—	8°